

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298190

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

H01L 29/78  
H01L 29/06  
H01L 21/336  
H01L 29/861

(21)Application number : 2000-357970

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 24.11.2000

(72)Inventor : SATO TAKAHIRO  
FUJIHIRA TATSUHIKO  
UENO KATSUNORI  
ONISHI YASUHIKO  
IWAMOTO SUSUMU  
NAGAOKA TATSUJI

(30)Priority

Priority number : 2000032160

Priority date : 09.02.2000

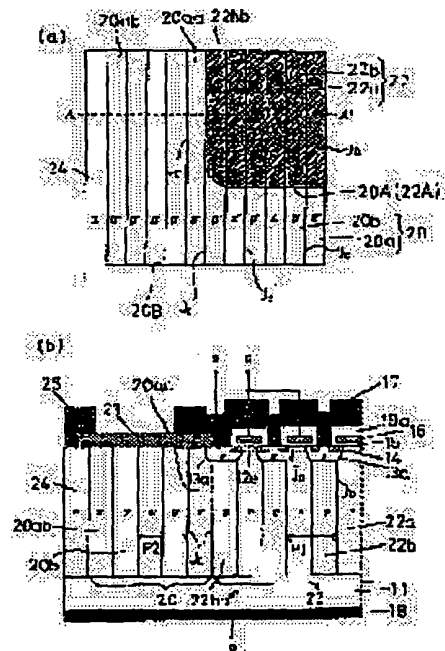
Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device wherein the breakdown strength at an element peripheral part is higher than that at a drift part without a guard ring or field plate.

**SOLUTION:** Related to a vertical MOSFET, a breakdown-strength structure (element peripheral part) 20 has a vertical parallel pn structure where a vertical n-type region 20a and a vertical p-type region are alternately jointed repeatedly between a surface and a drain layer 11 around a vertical drift part 22 of the vertical parallel pn structure. The region 20 is a non-electric path region in an on-state and is depleted in an off-state. In the off-state, a depletion layer expands in both directions from a multiplex pn junction surface to deplete not only external direction but rear-surface side, not limited to near a p-base region 13a, resulting in higher breakdown strength at the breakdown-strength structure part 20 than the drift part 22.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

-(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-298190

(P2001-298190A)

(43)公開日 平成13年10月26日(2001. 10. 26)

| (51)Int.Cl. <sup>7</sup>      | 識別記号  | F I           | テーマコード(参考)         |
|-------------------------------|-------|---------------|--------------------|
| H 0 1 L 29/78                 | 6 5 2 | H 0 1 L 29/78 | 6 5 2 H<br>6 5 2 P |
| 29/06                         |       | 29/06         |                    |
| 21/336                        |       | 29/78         | 6 5 8 A            |
| 29/861                        |       | 29/91         | D                  |
| 審査請求 未請求 請求項の数40 O L (全 34 頁) |       |               |                    |

(21)出願番号 特願2000-357970(P2000-357970)  
(22)出願日 平成12年11月24日(2000. 11. 24)  
(31)優先権主張番号 特願2000-32160(P2000-32160)  
(32)優先日 平成12年2月9日(2000. 2. 9)  
(33)優先権主張国 日本 (J P)

(71)出願人 000005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号  
(72)発明者 佐藤 高広  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(72)発明者 藤平 龍彦  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(74)代理人 100089945  
弁理士 山田 稔

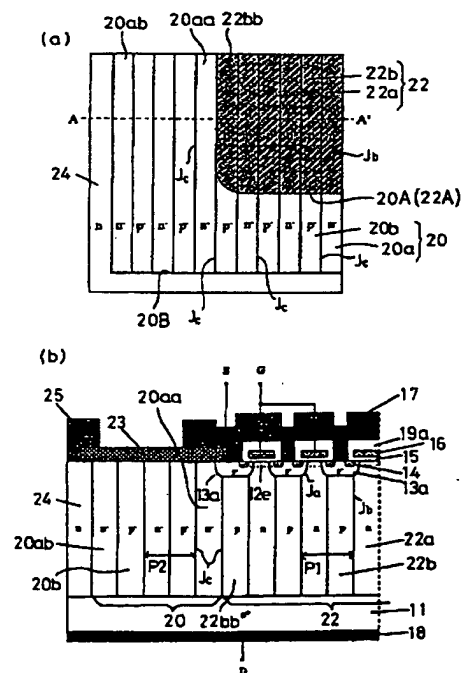
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 ガードリングやフィールドプレートを形成せずとも、ドリフト部の耐圧よりもその素子外周部の耐圧を大きくできる半導体装置の提供。

【解決手段】 縦形MOSFETにおいて、縦形並列p n構造の縦形ドリフト部22の周りで表面とドレイン層11との間に介在し、オン状態では非電路領域であってオフ状態では空乏化する耐圧構造部(素子外周部)20が、縦形のn型領域20aと縦形のp型領域とを交互に繰り返して接合して成る縦形並列p n構造を備えている。オフ状態では、多重のp n接合面から空乏層が双方に拡張し、pベース領域13aの近傍に限らず、外方向や裏面側まで空乏化できるので、耐圧構造部20の耐圧はドリフト部22の耐圧よりも大きい。



1

## 【特許請求の範囲】

【請求項 1】 基板の第 1 主面側に形成された素子活性領域に電気的に接続する第 1 の電極と、前記基板の第 2 主面側に形成された第 1 導電型の低抵抗層に電気的に接続する第 2 の電極と、前記素子活性領域と前記低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部とを有する半導体装置において、

前記縦形ドリフト部の周りで前記第 1 主面と前記低抵抗層との間に介在し、オン状態では非電路領域であってオフ状態では空乏化する耐压構造部が、第 1 導電型領域と第 2 導電型領域とを交互に繰り返して接合して成る並列 p n 構造を備えていることを特徴する半導体装置。

【請求項 2】 請求項 1 において、前記縦形ドリフト部は、前記基板の厚み方向に配向する第 1 導電型の縦形ドリフト電路領域と前記基板の厚み方向に配向する第 2 導電型の縦形仕切領域とを交互に繰り返して接合して成る並列 p n 構造を備えていることを特徴とする半導体装置。

【請求項 3】 請求項 2 において、前記耐压構造部の並列 p n 構造は、前記ドリフト部の並列 p n 構造よりも不純物量が少ないことを特徴する半導体装置。

【請求項 4】 請求項 2 又は請求項 3 において、前記耐压構造部の並列 p n 構造は、前記基板の厚み方向に配向する縦形第 1 導電型領域と前記基板の厚み方向に配向する縦形第 2 導電型領域とを接合して成る縦形構造を備えていることを特徴する半導体装置。

【請求項 5】 請求項 4 において、前記縦形第 1 導電型領域と前記縦形第 2 導電型領域のうち、少なくとも一方は前記基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互連結して成る会合構造を備えていることを特徴する半導体装置。

【請求項 6】 請求項 5 において、前記拡散単位領域のそれぞれは、中心部を最大濃度部としてその外方向に濃度漸減する濃度分布を持つことを特徴とする半導体装置。

【請求項 7】 請求項 5 又は請求項 6 において、前記ドリフト部の並列 p n 構造を形成する前記縦形ドリフト電路領域と前記縦形仕切領域は層状であって、前記耐压構造部を形成する前記縦形第 1 導電型領域と前記縦形第 2 導電型領域は層状であることを特徴する半導体装置。

【請求項 8】 請求項 7 において、前記耐压構造部の並列 p n 構造の p n 繰り返しピッチは、前記ドリフト部の並列 p n 構造の p n 繰り返しピッチよりも狭いことを特徴する半導体装置。

【請求項 9】 請求項 8 において、前記耐压構造部の並列 p n 構造の層面は前記ドリフト部の並列 p n 構造の層面に対し略平行して成り、前記耐压構造部の並列 p n 構造の p n 繰り返し端面と前記ドリフト部の並列 p n 構造の p n 繰り返し端面とが接続していると共に、前記耐压

2

構造部の並列 p n 構造の最内側に位置する前記縦形第 1 導電型領域の層面と前記ドリフト部の並列 p n 構造の最外側に位置する前記縦形仕切領域の層面とが接合して成ることを特徴とする半導体装置。

【請求項 10】 請求項 9 において、前記ドリフト部の並列 p n 構造を形成する前記縦形ドリフト電路領域と前記縦形仕切領域の層厚が内側から外側にかえて漸減する部分を有することを特徴とする半導体装置。

【請求項 11】 請求項 9 において、前記耐压構造部の並列 p n 構造を形成する前記縦形第 1 導電領域と前記縦形第 2 導電型領域の層厚が内側から外側にかえて漸減する部分を有することを特徴とする半導体装置。

【請求項 12】 請求項 10 又は請求項 11 において、前記内側から外側にかけて層厚が漸減する部分は、第 1 の電極の端部下であることを特徴とする半導体装置。

【請求項 13】 請求項 8 において、前記耐压構造部の並列 p n 構造の層面は前記ドリフト部の並列 p n 構造の層面に対し略直交して成り、前記耐压構造部の並列 p n 構造の p n 繰り返し端面と前記ドリフト部の並列 p n 構造の最外側の前記縦形仕切領域の層面とが接続すると共に、前記ドリフト部の並列 p n 構造の p n 繰り返し端面と前記耐压構造部の並列 p n 構造の内側に位置する前記縦形第 1 導電型領域の層面とが接続していることを特徴とする半導体装置。

【請求項 14】 請求項 8 において、前記耐压構造部の並列 p n 構造は、前記ドリフト部の並列 p n 構造の層面に対し層面が略平行して成る第 1 の並列 p n 構造と、前記ドリフト部の並列 p n 構造の層面に対し層面が略直交して成る第 2 の並列 p n 構造とを併有していることを特徴とする半導体装置。

【請求項 15】 請求項 14 において、前記第 1 の並列 p n 構造の p n 繰り返し端面と前記ドリフト部の並列 p n 構造の p n 繰り返し端部とが接続していると共に、前記第 2 の並列 p n 構造の p n 繰り返し端面と前記ドリフト部の並列 p n 構造の最外側に位置する前記縦形仕切領域とが接続していることを特徴とする半導体装置。

【請求項 16】 請求項 15 において、前記耐压構造部の並列 p n 構造のうち、前記第 1 の並列 p n 構造と第 2 の並列 p n 構造とで画成される隅部に第 1 及び第 2 の並列 p n 構造のいずれかより p n 繰り返し展開して成る第 3 の並列 p n 構造を有し、当該第 3 の並列 p n 構造の p n 繰り返し端面と第 1 及び第 2 の並列 p n 構造のいずれかの側端寄りに位置する前記縦形第 2 導電型領域に接続して成ることを特徴とする半導体装置。

【請求項 17】 請求項 8 において、前記耐压構造部の並列 p n 構造は、前記ドリフト部の並列 p n 構造の層面に対し層面が略平行である第 1 の並列 p n 構造と、前記ドリフト部の並列 p n 構造の層面に対し層面が略直交である第 2 の並列 p n 構造を併有し、第 1 及び第 2 の並列 p n 構造のいずれか一方の p n 繰り返し端面がその他方

3

の側端寄りに位置する前記縦形第2導電型領域と接続して成ることを特徴とする半導体装置。

【請求項18】 請求項8において、前記耐压構造部の並列pn構造の層面は、前記ドリフト部の並列pn構造の層面に対し斜交して成ることを特徴とする半導体装置。

【請求項19】 請求項8乃至請求項18のいずれか一項において、前記縦形第1導電型領域と前記縦形第2導電型領域とのpn接合面は略平坦状であることを特徴する半導体装置。

【請求項20】 請求項8乃至請求項18のいずれか一項において、前記縦形第1導電型領域と前記縦形第2導電型領域とのpn接合面は波形状であることを特徴する半導体装置。

【請求項21】 請求項5又は請求項6において、前記耐压構造部の並列pn構造を形成する前記縦形第1導電型領域と前記縦形第2導電型領域のうち、少なくとも一方は柱状であることを特徴する半導体装置。

【請求項22】 請求項21において、前記縦形第1導電型領域と前記縦形第2導電型領域の双方が柱状であって、前記縦形第1導電型領域と前記縦形第2導電型領域との間に第1導電型不純物と第2導電型不純物の双方をドーピングして成る高抵抗領域が介在して成ることを特徴する半導体装置。

【請求項23】 請求項5乃至請求項22のいずれか一項において、前記耐压構造部の第1主面側に前記ドリフト部を取り囲み、複数の前記縦形第2導電型領域を相互接続する少なくとも1重の第2導電型均圧リングを有して成ることを特徴する半導体装置。

【請求項24】 請求項23において、前記第2導電型均圧リングの不純物濃度が前記縦形第2導電型領域の不純物濃度よりも高いことを特徴とする半導体装置。

【請求項25】 請求項4において、前記耐压構造部の並列pn構造を形成する前記縦形第1導電型領域と前記縦形第2導電型領域のうち、少なくとも一方は前記基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互離間した分散構造であることを特徴する半導体装置。

【請求項26】 請求項25において、前記拡散単位領域のそれぞれは、中心部を最大濃度部としてその外方向に濃度漸減する濃度分布を持つことを特徴とする半導体装置。

【請求項27】 請求項1乃至請求項3のいずれか一項において、前記耐压構造部の並列pn構造は、前記基板の主面に対し略平行又は傾斜した横形第1導電型領域と前記基板の主面に対し略平行又は傾斜した横形第2導電型領域とを接合して成る横形構造を備えていることを特徴する半導体装置。

【請求項28】 基板の第1主面側に形成された素子活性領域に電氣的に接続する第1の電極と、前記基板の第

4

2主面側に形成された第1導電型の低抵抗層に電氣的に接続する第2の電極と、前記素子活性領域と前記低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部とを有する半導体装置において、

前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在し、オン状態では非電路領域であってオフ状態では空乏化する耐压構造部が、第1導電型不純物と第2導電型不純物の双方をドーピングして成る高抵抗領域を備えていることを特徴する半導体装置。

【請求項29】 請求項28において、前記縦形ドリフト部が前記基板の厚み方向に配向する第1導電型の縦形ドリフト電路領域と前記基板の厚み方向に配向する第2導電型の縦形仕切領域とを交互に繰り返して接合して成る並列pn構造を備えていることを特徴とする半導体装置。

【請求項30】 請求項1乃至請求項29において、前記第1主面と前記低抵抗層との間に介在し、前記耐压構造部の外側には第1導電型の低抵抗囲繞領域を有して成ることを特徴とする半導体装置。

【請求項31】 請求項30において、前記第1導電型の低抵抗囲繞領域の第1主面側に電氣的に接続する周縁電極を有することを特徴とする半導体装置。

【請求項32】 請求項30又は請求項31において、前記第1導電型の低抵抗囲繞領域の第1主面側に形成された第1導電型のチャネルストッパーを有して成ることを特徴とする半導体装置。

【請求項33】 請求項30乃至請求項32のいずれか一項において、前記縦形ドリフト部が前記基板の厚み方向に配向する第1導電型の縦形ドリフト電路領域と前記基板の厚み方向に配向する第2導電型の縦形仕切領域とを交互に繰り返して接合して成る並列pn構造であって、前記低抵抗囲繞領域の幅が前記縦形ドリフト電路領域の幅よりも大きいことを特徴とする半導体装置。

【請求項34】 請求項30乃至請求項32のいずれか一項において、前記縦形ドリフト部が前記基板の厚み方向に配向する第1導電型の縦形ドリフト電路領域と前記基板の厚み方向に配向する第2導電型の縦形仕切領域とを交互に繰り返して接合して成る並列pn構造であって、前記低抵抗囲繞領域の幅が前記仕切領域間の距離よりも大きいことを特徴とする半導体装置。

【請求項35】 請求項1乃至請求項34のいずれか一項において、前記素子外周部の第1主面側に形成された絶縁膜を有して成ることを特徴とする半導体装置。

【請求項36】 基板の第1主面側に形成された素子活性領域に電氣的に接続する第1の電極と、前記基板の第2主面側に形成された第1導電型の低抵抗層に電氣的に接続する第2の電極と、前記素子活性領域と前記低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部と

5

を有し、前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在し、オン状態では非電路領域であってオフ状態では空乏化する耐圧構造部が、前記基板の厚み方向に配向する縦形第1導電型領域と、前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る並列pn構造を備えている半導体装置の製造方法において、

第1導電型の低抵抗基体の上に、第1導電型高抵抗のエピタキシャル成長層を形成する工程と、このエピタキシャル成長層に第1導電型の不純物イオン及び第2導電型の不純物イオンをそれぞれ離散的に配置した複数の第1の不純物導入窓及び第2の不純物導入窓を介して選択的に導入する工程と、を交互に繰り返した後、熱処理を施して前記各エピタキシャル成長層に導入した前記不純物を拡散中心部から熱拡散させて同導電型の拡散単位領域同士を上下相互に接続し、前記並列pn構造を形成することを特徴とする半導体装置の製造方法。

【請求項37】 請求項36において、前記耐圧構造部の並列pn構造を形成すべき範囲の前記第1及び第2の不純物導入窓の窓寸法は、前記ドリフト部の並列pn構造を形成すべき範囲の前記第1及び第2の不純物導入窓の窓寸法に比し狭いことを特徴とする半導体装置の製造方法。

【請求項38】 請求項37において、前記耐圧構造部の並列pn構造を形成すべき範囲の前記第1及び第2の不純物導入窓の繰り返しピッチは、前記ドリフト部の並列pn構造を形成すべき範囲の前記第1及び第2の不純物導入窓の繰り返しピッチに比し広いことを特徴とする半導体装置の製造方法。

【請求項39】 基板の第1主面側に形成された素子活性領域に電気的に接続する第1の電極と、前記基板の第2主面側に形成された第1導電型の低抵抗層に電気的に接続する第2の電極と、前記素子活性領域と前記低抵抗層との間に介在し、オン状態でドリフト電流を縦方向に流すと共にオフ状態で空乏化する縦形ドリフト部とを有し、前記縦形ドリフト部の周りで前記第1主面と前記低抵抗層との間に介在し、オン状態では非電路領域であってオフ状態では空乏化する耐圧構造部が、前記基板の厚み方向に配向する縦形第1導電型領域と、前記基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る並列pn構造を備えている半導体装置の製造方法において、

第1導電型の低抵抗基体の上に、第1導電型高抵抗のエピタキシャル成長層を形成する工程と、このエピタキシャル成長層に第1導電型の不純物イオンの全面的に導入すると共に第2導電型の不純物イオンを離散的に配置した複数の第2の不純物導入窓を介して選択的に導入する工程と、を交互に繰り返した後、熱処理を施して前記各エピタキシャル成長層に導入した前記不純物を熱拡散させて、同導電型の拡散単位領域同士を上下相互に接続

6

し、前記並列pn構造を形成することを特徴とする半導体装置の製造方法。

【請求項40】 請求項39において、前記耐圧構造部の並列pn構造を形成すべき範囲の前記第2の不純物導入窓の窓寸法及び繰り返しピッチは、前記ドリフト部の並列pn構造を形成すべき範囲の前記第2の不純物導入窓の窓寸法及び繰り返しピッチに比し狭いことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（伝導度変調型MOSFET）、バイポーラトランジスタ、ダイオード等に適用可能で高耐圧化と大電流量化が両立する縦形パワー半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 一般に半導体装置は、片面のみに電極部を持つ横要素子と、両面に電極部を持つ縦要素子とに大別できる。縦要素子は、オン時にドリフト電流が流れる方向と、オフ時に逆バイアス電圧による空乏層が延びる方向とが共に基板の厚み方向（縦方向）である。例えば、図29は通常のプレーナ型のnチャネル縦形MOSFETの断面図である。この縦形MOSFETは、裏側のドレイン電極18が導電接触した低抵抗のn<sup>+</sup>ドレイン層11の上に形成された高抵抗のn<sup>-</sup>ドレイン・ドリフト層12と、このドリフト層12の表面層に選択的に形成されたチャネル拡散層としてのpベース領域（pウェル）13と、そのpベース領域13内の表面側に選択的に形成された高不純物濃度のn<sup>+</sup>ソース領域14及び高不純物濃度のp<sup>+</sup>コンタクト領域19と、pベース領域13のうちn<sup>+</sup>ソース領域14とドリフト層12とに挟まれた表面上にゲート絶縁膜15を介して設けられたポリシリコン等のゲート電極層16と、n<sup>+</sup>ソース領域14及びp<sup>+</sup>コンタクト領域19の表面に跨って導電接触するソース電極17とを有している。

【0003】 このような縦要素子において、高抵抗のn<sup>-</sup>ドレイン・ドリフト層12の部分は、MOSFETがオン状態のときは縦方向にドリフト電流を流す領域として働き、オフ状態のときはpベース領域13とのpn接合から空乏層が拡張して空乏化し耐圧を高める働きをする。この高抵抗のn<sup>-</sup>ドレイン・ドリフト層12の厚さ（電流経路長）を薄くすることは、オン状態ではドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗（ドレインーソース抵抗）を下げる効果に繋がるものの、オフ状態ではpベース領域13とn<sup>-</sup>ドレイン・ドリフト層12との間のpn接合から拡張するドレインーベース間空乏層の拡張幅が狭くなるため、空乏電界強度がシリコンの最大（臨界）電界強度に速く達するので、ドレインーソース電圧が素子耐圧の設計値に達する

7

前に、ブレークダウンが生じ、耐圧（ドレイン・ソース電圧）が低下してしまう。逆に、 $n^-$ ドレイン・ドリフト層12を厚く形成すると、高耐圧化を図ることができるが、必然的にオン抵抗が大きくなり、オン損失が増す。即ち、オン抵抗（電流容量）と耐圧との間にはトレードオフ関係がある。この関係は、ドリフト層を持つIGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。

【0004】この問題に対する解決法として、縦形ドリフト部として不純物濃度を高めた $n$ 型の領域と $p$ 型の領域とを交互に繰り返して多重接合した並列 $pn$ 構造である半導体装置が、EP0053854、USP5216275、USP5438215、特開平9-266311、特開平10-223896などにおいて知られている。

【0005】図30は、USP5216275に開示された縦形MOSFETの一例を示す部分断面図である。図29との構造上の違いは、ドレイン・ドリフト部22が単一・単一の導電型層（不純物拡散層）ではなく、縦形層状の $n$ 型のドリフト電路領域22aと縦形層状の $p$ 型の仕切領域22bとを交互に繰り返して多重接合した並列 $pn$ 構造である。並列 $pn$ 構造の不純物濃度が高くても、オフ状態では並列 $pn$ 構造の縦方向に配向する各 $pn$ 接合から空乏層がその横方向双方に拡張し、ドリフト部22全体が空乏化するため、高耐圧化を図ることができる。なお、このような並列 $pn$ 構造のドレイン部22を備える半導体素子を、以下に超接合半導体素子と称することとする。

【0006】

【発明が解決しようとする課題】上記のような超接合半導体素子にあっては、表層部分に形成された複数の $p$ ベース領域13（素子活性領域）の真下にある並列 $pn$ 構造のドレイン・ドリフト部22では耐圧確保が図れるものの、ドレイン・ドリフト部22の素子外周部（素子周縁部）では最外の $p$ ベース領域13の $pn$ 接合からの空乏層が外方向や基板深部へは拡がり切らず、空乏電界強度がシリコンの臨界電界強度に速く達するので、耐圧が低下してしまう。

【0007】ここに、最外の $p$ ベース領域13の素子外周部における耐圧も確保するために、素子外周部の表面側に公知の空乏電界制御手段としてのガードリングを形成することや、絶縁膜上に公知のフィールドプレートを適用することが考えられる。ところが、並列 $pn$ 構造のドリフト部22の形成によって従前に比しドリフト部22では高耐圧化が期待できるのに、その素子外周部の耐圧確保のために従前通りのガードリングやフィールドプレートを併せて空乏電界強度の修正を外付加により最適構造に設計するのはますます困難が伴い、半導体素子毎の信頼性が乏しく、またガードリングから離れた深部では空乏化せず電界強度の制御が不能であるため、ドリ

8

フト部22での高耐圧化に追い付かず、全体として素子のバランスの良い高耐圧化が難しくなり、超接合半導体素子の機能を十分に引き出すことができない。また、その構造を実現するためのマスク形成、不純物導入及び拡散、あるいは金属被着及びそのパターニングというような追加工程が必要である。

【0008】そこで、上記問題点を鑑み、本発明の第1の課題は、基板表面にガードリングやフィールドプレートを形成せずとも、ドリフト部の耐圧よりもその外周部の耐圧を大きくできる半導体素子及びその製造方法を提供することにある。また、本発明の第2の課題は、超接合半導体素子に適合した製造容易な半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記第1の課題を解決するため、本発明は、ドリフト部を有する半導体装置においてドリフト部を取り囲む耐圧構造部（素子外周部、素子周縁部）を並列 $pn$ 構造又は第1導電型と第2導電型の不純物との双方をドーピングして成るキャリア濃度が略零又は零に近似できる高抵抗領域として構成したことを特徴とする。

【0010】まず、本発明の適用するパワー縦形半導体装置は、基板の第1主面側に形成された素子活性領域に電気的に接続する第1の電極と、上記基板の第2主面側に形成された第1導電型の低抵抗層に電気的に接続する第2の電極と、上記素子活性領域と上記低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部と、この縦形ドリフト部の周りで第1主面と上記低抵抗層との間に介在し、オン状態では非電路領域であってオフ状態では空乏化する耐圧構造部とを有するものである。そして、本発明は、この耐圧構造部が、第1導電型領域と第2導電型領域とを交互に繰り返して接合して成る並列 $pn$ 構造を備えていることを特徴するものである。ここで基板の第1主面側に形成された素子活性領域とは、縦形MOSFETの場合は第1主面側で反転層を形成する第2導電型拡散領域（チャネル拡散層）、バイポーラトランジスタの場合はエミッタ領域又はコレクタ領域、 $pn$ 接合ダイオードの場合はアノード領域又はカソード領域、ショットキーダイオードの場合はショットキーバリアを形成するメタルなどを指す。

【0011】ドリフト部の周りの耐圧構造部に並列 $pn$ 構造が配置されているため、オフ状態では、多重の $pn$ 接合面から空乏層が双方に拡張し、素子活性領域の近傍に限らず、そこから外方向や第2主面方向の深部まで空乏化するので、耐圧が大きくなる。また、第1主面側の素子活性領域からドリフト部を介して第2主面側の第1導電型の低抵抗層に到達する直線状の電気力線の長さに比し、素子活性領域の側部から耐圧構造部を介して第1導電型の低抵抗層に到達する曲線状の電気力線の方が長

9

い分だけ、耐压構造部の並列pn構造とドリフト部が同一不純物濃度でも、耐压構造部の並列pn構造の空乏電界強度の方がドレイン部よりも低くなることから、耐压構造部の耐压はドリフト部の耐压よりも大きい。従って、ドリフト部に縦形の並列pn構造を採用した超接合半導体素子であっても、その周りの耐压構造部の耐压が十分に保証されることになるため、ドリフト部の並列pn構造の最適化が容易で、超接合半導体素子の設計自由度が高まり、超接合半導体素子を実用化できる。

【0012】ここで、望ましくは、耐压構造部の並列pn構造はドリフト部の並列pn構造よりも不純物量の少ない方がよい。耐压構造部がより空乏化し易くなるため、耐压をドリフト部の耐压よりも確実に大きくでき、信頼性が向上する。また、耐压構造部の並列pn構造のpn繰り返しピッチはドリフト部の並列pn構造のpn繰り返しピッチよりも狭いことが望ましい。同じく、耐压構造部の耐压をドリフト部の耐压よりも確実に大きくでき、信頼性が向上する。

【0013】耐压構造部の並列pn構造は、基板の主面に対し略平行又は傾斜した横形第1導電型領域と基板の主面に対し略平行又は傾斜した横形第2導電型領域とを接合して成る横形構造でも構わないが、基板の厚み方向に配向する縦形第1導電型領域と基板の厚み方向に配向する縦形第2導電型領域とを接合して成る縦形構造としてもよい。横形構造の場合は、それに含まれる横形第2導電型領域の殆どを素子活性領域又はドリフト部の最外側の仕切領域に電氣的に接続できる配置となるから、オフ状態では確実に逆バイアスとなり、耐压構造部の空乏化率を高めることができるものの、ドリフト部の並列pn構造が縦形であることから、製造工程が複雑化する難点がある。しかし、縦形構造の場合は、ドリフト部の並列pn構造が縦形であることから、耐压構造部の並列pn構造も縦形形式とすると、並列pn構造の形成工程を援用して同時形成できるため、工数の削減により、低コスト化を実現できる。

【0014】この耐压構造部の並列pn構造を形成する縦形第1導電型領域と縦形第2導電型領域はそれぞれ一様不純物分布の連続拡散領域としてもよいが、縦形第1導電型領域と縦形第2導電型領域のうち、少なくとも一方は基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互連結して成る会合構造とするのが望ましい。後述するように、縦形の並列pn構造自体の形成が頗る容易となるからである。かかる場合、各拡散単位領域は中心部が最大濃度部となって外方向に濃度漸減する濃度分布を持つ。

【0015】耐压構造部の並列pn構造の各第1導電型領域又は各第2導電型領域に着目すると、ドリフト部のドリフト電路領域及び仕切領域と同様に、層状に形成し、pn接合面が略平坦であっても構わないが、耐压構造部はドリフト部とは異なりオン状態では非電路領域で

10

あって、オフ状態で空乏化するものに過ぎないため、単位体積当たりのpn接合の面積比率の大きい方がよい。そこで、層状ではあるが、pn接合面が波形である方が良く、空乏化率を高めることができる。

【0016】このような相隣接する拡散単位領域を相互連結して成る会合構造は、例えば、一方の導電型不純物のみの拡散中心部への導入工程を間挿しながらエピタキシャル成長層を幾層も積み増した後、熱拡散を施して各エピタキシャル成長層に仕込んだ不純物を一気に熱拡散せしめ、それら離間する上下の拡散単位領域を相互連結して得ることができる。基板を厚くして超高耐压化を企画する場合でも縦形の並列pn構造を容易に形成できる。エッチングによりアスペクト比の大きなトレンチを形成する工程を用いず、またトレンチ内に選択的にエピタキシャル層を成長させずに済むため、製造の容易化により低コスト化も実現できる。

【0017】ドリフト部の並列pn構造を形成する縦形ドリフト電路領域と縦形仕切領域が層状である場合、耐压構造部の並列pn構造は、ドリフト部の並列pn構造に対し層面が略平行したレイアウトでも、略直交したレイアウトでも、斜交したレイアウトでも構わない。

【0018】まず、耐压構造部が単一の並列pn構造を有する場合としては、耐压構造部の並列pn構造の層面がドリフト部の並列pn構造の層面に対し略平行して成り、耐压構造部の並列pn構造のpn繰り返し端面とドリフト部の並列pn構造のpn繰り返し端面とが接続していると共に、耐压構造部の並列pn構造の内側に位置する縦形第1導電型領域の層面とドリフト部の並列pn構造の最外側に位置する縦形仕切領域の層面とが接合して成るレイアウトを採用できる。斯かるレイアウトでは、単一の並列pn構造のうち、ドリフト部の並列pn構造のpn繰り返し端面と接続するpn繰り返し端面は同時に活性領域の端面に接続することになるため、その部分は確実に空乏化するが、ドリフト部の並列pn構造と横並びとなる縦形第2導電型領域は電位的に浮遊状態となるため、いわば深部ガードリング機能を発揮するにすぎない。また、ドレイン部の最外側の縦形仕切領域の層厚に比しこれと接合する耐压構造部の最内側の縦形第1導電型領域の層厚の方が狭いものであるから、両者間のチャージバランスが合致せず、ドレイン部と耐压構造部との境界での電界強度が高くなり、高耐压を保持し難い。

【0019】斯かる場合には、ドリフト部の並列pn構造を形成する縦形ドリフト電路領域と縦形仕切領域の層厚が内側から外側にかえて漸減する部分を設けることが望ましい。最外側の縦形仕切領域の層厚と内側の縦形第1導電型領域の層厚とを略等しくすることが望ましい。ドリフト部と耐压構造部の境界部分においてpn接合領域の同士の相互に含まれる電荷量を合わせ込むことができ、チャージバランスが実現されて、耐压構造部とドレ

11

イン部との境界での電界が緩和されるため、高耐圧を保持できる。

【0020】逆に、耐圧構造部の並列pn構造を形成する縦形第1導電領域と縦形第2導電型領域の層厚が内側から外側にかけて漸減する部分を設けることが望ましい。内側の縦形第1導電型領域の層厚と最外側の前記縦形仕切領域の層厚とを略等しくしても良い。同じく、耐圧構造部とドレイン部との境界での電界が緩和されるため、高耐圧を保持できる。また、活性領域直下のドレイン部のうち電流路を構成しない面積部分を縮小化できる。これらの層厚が内側から外側にかけて漸減する部分は第1の電極の端部下に位置することが望ましい。

【0021】耐圧構造部が単一の並列pn構造を有するもう一つの場合としては、耐圧構造部の並列pn構造の層面がドリフト部の並列pn構造の層面に対し略直交して成り、耐圧構造部の並列pn構造のpn繰り返し端面とドリフト部の並列pn構造の最外側の縦形仕切領域の層面とが接続すると共に、ドリフト部の並列pn構造のpn繰り返し端面と耐圧構造部の並列pn構造の内側に位置する縦形第1導電型領域の層面とが接続して成るレイアウトを採用できる。斯かるレイアウトでは、単一の並列pn構造のうち、ドリフト部の並列pn構造の最外側の縦形仕切領域の層面と接続するpn繰り返し端面を持つ領域が確実に空乏化し、その余の部分の縦形第2導電型領域は電位的に浮遊状態となるため、いわば深部ガードリング機能を発揮するにすぎない。

【0022】そこで、耐圧構造部が単一の並列pn構造から成る場合、多数の縦形第2導電型領域の一部がドレイン部の仕切領域又は活性領域と接続しない事態が起こり得るので、耐圧構造部の並列pn構造をドレイン部の並列pn構造に対して層面が斜交したレイアウトとすれば、耐圧構造部の縦形第2導電型領域のすべてがドレイン部の仕切領域又は活性領域と確実に接続する。

【0023】これ以外の対策としては、耐圧構造部の並列pn構造として、ドリフト部の並列pn構造の層面に対し層面が略平行して成る第1の並列pn構造と、ドリフト部の並列pn構造の層面に対し層面が略直交して成る第2の並列pn構造とを併有するレイアウトを採用することが有効である。

【0024】斯かるレイアウトでは、第1の並列pn構造のpn繰り返し端面がドリフト部の並列pn構造のpn繰り返し端面と接続していると共に、第2の並列pn構造のpn繰り返し端面がドリフト部の並列pn構造の最外側に位置する縦形仕切領域と接続している。そして、耐圧構造部の並列pn構造のうち、第1の並列pn構造と第2の並列pn構造とで画成される隅部に第1及び第2の並列pn構造のいずれかよりpn繰り返し展開して成る第3の並列pn構造を有し、当該第3の並列pn構造のpn繰り返し端面と第1及び第2の並列pn構造のいずれかの側端寄りに位置する縦形第2導電型領域

12

に接続して成る。第1及び第2の並列pn構造のいずれかの側端寄りに位置する縦形第2導電型領域を等電位領域として利用し、これに接続するpn繰り返し端面から複数の縦形第2導電型領域に櫛歯状に分岐させて導通を達成するものである。後述する様な基板表面に均圧リング等を付設せずに耐圧構造部を隈なく早期に空乏化できる。

【0025】このような耐圧構造部の並列pn構造は、第3の並列pn構造を用いずに表現すると、ドリフト部の並列pn構造の層面に対し層面が略平行である第1の並列pn構造と、ドリフト部の並列pn構造の層面に対し層面が略直交である第2の並列pn構造を併有し、第1及び第2の並列pn構造のいずれか一方のpn繰り返し端面がその他方の側端寄りに位置する縦形第2導電型領域と接続して成るものである。他方の側端に位置する縦形第2導電型領域がドレイン部の仕切領域又は活性領域に電氣的に接続されている限り、これに接続した第2の並列pn構造の複数の縦形第2導電型領域も同電位となる。このような配向が異なる2つの並列pn構造を格子状に配列しても耐圧構造部を隈なく早期に空乏化できる。

【0026】なお、縦形第1導電型領域と縦形第2導電型領域が層状ではなく、少なくとも一方が柱状で、立体三方格子や立体四方格子等の立体的格子点に配置されていても良い。単位体積当たりのpn接合面積の比率が増すため、耐圧構造部の耐圧が向上する。特に、縦形第1導電型領域と縦形第2導電型領域の双方が柱状であって、縦形第1導電型領域と縦形第2導電型領域との間に第1導電型不純物と第2導電型不純物の双方をドーピングして成る高抵抗領域が介在して成る構造では、高耐圧化が得られる。

【0027】並列pn構造の縦形第2導電型領域自身が逆バイアスのための電位伝達領域として機能しない場合、オフ状態のとき、第1と第2の電極間の電圧を高めていくと、ドリフト部の縦形並列pn構造は完全に空乏化し、耐圧構造部の並列pn構造のうち、一端が素子活性領域に直接接続している縦形第2導電型領域ではドリフト部から外方向へ空乏層が拡張するものの、一端が素子活性領域に直接接続していない縦形第2導電型領域では浮遊状態であるために、空乏層の外方向への拡張が弱く、臨界電界強度に達し易い。

【0028】そこで、耐圧構造部の第1主面側にドリフト部を取り囲み、複数の縦形第2導電型領域を相互接続する少なくとも1重の第2導電型均圧リングを形成するのが好ましい。一端が素子活性領域に直接接続していない縦形第2導電型領域は第2導電型均圧リングを介して一端が素子活性領域に直接接続している縦形第2導電型領域に電氣的に接続されているため、縦形第2導電型領域の浮遊状態が解消し、素子活性領域側の電位に固定されるので、耐圧構造部では全体的に均一に空乏層が外方



13

向へ拡張する。従って、高耐圧化を図ることができる。

【0029】ここで、第2導電型均圧リングの不純物濃度が縦形第2導電型領域の不純物濃度と同程度であると、第2導電型均圧リングも空乏化してしまい、均圧リングとして作用しなくなるため、第2導電型均圧リングの不純物濃度が縦形第2導電型領域の不純物濃度よりも高いことが望ましい。

【0030】また、本発明では、耐圧構造部の並列pn構造を形成する縦形第1導電型領域と縦形第2導電型領域のうち、少なくとも一方は基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互離間した分散構造とすることができる。pn接合の豊富化を図ることができ、高耐圧を得ることができる。基板の厚み内で分散した第2導電型の拡散単位領域を相互に接続する第2導電型均圧リングを形成しても良い。この分散構造の極限例として、不連続状の各n領域及びp領域の大きさを微小にした集合領域は、p型不純物とn型不純物との双方を全域にドーピングした高抵抗領域に相当している。耐圧構造部がこのような高抵抗領域の場合でも、高耐圧化を図ることができる。

【0031】そして、第1主面と低抵抗層との間に介在し、耐圧構造部の外側には第1導電型の低抵抗囲繞領域を設けることが望ましい。第2電極の電位を耐圧構造部の側面に印加でき、空乏層を外方向に延ばすことができ、またpn繰り返し端面が低抵抗囲繞領域で覆われているので、漏れ電流を抑制することができる。第1導電型の低抵抗囲繞領域の第1主面側に電氣的に接続する周縁電極を設けると良い。また、第1導電型の低抵抗囲繞領域の第1主面側に第1導電型のチャンネルストッパーを形成すると良い。低抵抗囲繞領域の幅は縦形ドリフト電路領域の幅、仕切領域間の距離よりも大きいことが望ましい。なお、耐圧構造部の第1主面側には絶縁膜を形成する。

【0032】本発明の製法は以下の通りである。まず、半導体装置として、基板の第1主面側に形成された素子活性領域に電氣的に接続する第1の電極と、基板の第2主面側に形成された第1導電型の低抵抗層に電氣的に接続する第2の電極と、素子活性領域と低抵抗層との間に介在し、オン状態ではドリフト電流を縦方向に流すと共にオフ状態では空乏化する縦形ドリフト部とを有し、縦形ドリフト部の周りで第1主面と低抵抗層との間に介在し、オン状態では非電路領域であってオフ状態では空乏化する耐圧構造部が、基板の厚み方向に配向する縦形第1導電型領域と、基板の厚み方向に配向する縦形第2導電型領域とを交互に繰り返して接合して成る並列pn構造を備えるものにおいて、第1導電型の低抵抗基体の上に、第1導電型高抵抗のエピタキシャル成長層を形成する工程と、このエピタキシャル成長層に第1導電型の不純物イオン及び第2導電型の不純物イオンをそれぞれ離散的に配置した複数の第1の不純物導入窓及び第2の不

14

純物導入窓を介して選択的に導入する工程と、を交互に繰り返した後、熱処理を施して上記各エピタキシャル成長層に導入した上記不純物を拡散中心部から熱拡散させて同導電型の拡散単位領域同士を上下相互に接続し、上記並列pn構造を形成することを特徴とする。このように、各エピタキシャル成長層に仕込んだ不純物を最後に熱拡散させて会合させ、縦形第1導電型領域と縦形第2導電型領域とを一気に形成するものであるから、並列pn構造の製造が容易である。

【0033】ここで、耐圧構造部の並列pn構造を形成すべき範囲の第1及び第2の不純物導入窓の窓寸法が耐圧構造部の並列pn構造を形成すべき範囲の第1及び第2の不純物導入窓の窓寸法に比し狭くした場合、耐圧構造部の並列pn構造はドリフト部の並列pn構造に比し不純物濃度が低くなるので、耐圧構造部の耐圧を高めることができる。また、素子外周領域の並列pn構造を形成すべき範囲の第1及び第2の不純物導入窓の繰り返しピッチがドリフト部の並列pn構造を形成すべき範囲の第1及び第2の不純物導入窓の繰り返しピッチに比し広い場合も、耐圧構造部の並列pn構造はドリフト部の並列pn構造に比し不純物濃度が低くなるので、耐圧構造部の耐圧を高めることができる。

【0034】別の製造方法としては、第1導電型の低抵抗基体の上に、第1導電型高抵抗のエピタキシャル成長層を形成する工程と、このエピタキシャル成長層に第1導電型の不純物イオンの全面的に導入すると共に第2導電型の不純物イオンを離散的に配置した複数の第2の不純物導入窓を介して選択的に導入する工程と、を交互に繰り返した後、熱処理を施して各エピタキシャル成長層に導入した不純物を熱拡散させて、同導電型の拡散単位領域同士を上下相互に接続し、上記並列pn構造を形成することを特徴とする。第1導電型不純物を選択的に導入するためのマスクング工程が不要となる。斯かる方法において、耐圧構造部の並列pn構造を形成すべき範囲の第2の不純物導入窓の窓寸法及び繰り返しピッチがドリフト部の並列pn構造を形成すべき範囲の第2の不純物導入窓の窓寸法及び繰り返しピッチに比し狭い場合、耐圧構造部の並列pn構造とドリフト部の並列pn構造とは不純物濃度が略等しくなるものの、耐圧構造部の並列pn構造の繰り返しピッチをドリフト部の並列pn構造の繰り返しピッチよりも狭くでき、また耐圧構造部の並列pn構造のpn接合を波形等や、拡散単位領域同士が非連続となるように形成することができるので、耐圧構造部の耐圧を高めることができる。

【0035】

【発明の実施の形態】以下に本発明の実施例を添付図面に基づいて説明する。なお、以下でn又はpを冠記した層や領域は、それぞれ電子又は正孔を多数キャリアとする層や領域を意味する。また、上付き文字+は比較的高不純物濃度、上付き文字-は比較的低不純物濃度を意味

する。

【0036】〔実施例1〕図1(a)は本発明の実施例1に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す部分平面図、図1(b)は図1(a)中のA-A'線に沿って切断した状態を示す断面図である。なお、図1(a)ではドリフト部及び耐圧構造部の1/4を斜線部分で表し、判り易くするため並列pn構造のみを示してある。

【0037】本例のnチャネル縦形MOSFETは、裏側のドレイン電極18が導電接触した低抵抗のn+ドレイン層(ドレイン・コンタクト層)11の上に形成された並列pn構造のドレイン・ドリフト部22と、このドリフト部22の表面層に選択的に形成された素子活性領域たる高不純物濃度のpベース領域(pウェル)13aと、そのpベース領域13a内の表面側に選択的に形成された高不純物濃度のn+ソース領域14と、基板表面上にゲート絶縁膜15を介して設けられたポリシリコン等のゲート電極層16と、層間絶縁膜19aに開けたコンタクト孔を介してpベース領域13a及びn+ソース領域14に跨って導電接触するソース電極17とを有している。ウェル状のpベース領域13aの中にn+ソース領域14が浅く形成されており、2重拡散型MOS部を構成している。なお、図示しない部分でゲート電極層16の上に金属膜のゲート配線が導電接触している。

【0038】ドレイン・ドリフト部22は、後述するように、n+ドレイン層11のサブストレートの上にn型のエピタキシャル成長層を幾層も積み増した厚い積層として形成されており、基板の厚み方向に層状縦形のn型ドリフト電路領域22aと基板の厚み方向に層状縦形のp型仕切領域22bとを交互に繰り返して多重接合した構造である。本例では、n型のドリフト電路領域22aは、その上端が基板表面のチャネル領域12eに達し、その下端がn+ドレイン層11に接している。また、p型の仕切領域22bは、その上端がpベース領域13aのウェル底面に接し、その下端がn+ドレイン層11に接している。なお、ドリフト電路領域22a及び仕切領域22bの1ストライプに相当する層厚部分(P1/2)を更に薄い並列pn構造で形成しても構わない。かかる場合は、その並列pn構造の層面をpベース領域13aの奥行き方向(チャネル幅方向)に対して直交させると良い。

【0039】基板表面とn+ドレイン層11との間で縦形ドリフト部22の耐圧構造部(素子外周部)20には、基板の厚さ方向に配向する層状縦形のn-型領域20aと、基板の厚さ方向に配向する層状縦形のp-型領域20bとを交互に繰り返して多重接合して成る並列pn構造が形成されている。本例では、耐圧構造部20の並列pn構造のpn繰り返しピッチP2は縦形ドリフト部22の並列pn構造のpn繰り返しピッチP1と

同じであるが、耐圧構造部20の不純物量は縦形ドリフト部22の不純物量よりも少なく、高抵抗となっている。なお、耐圧構造部20の並列pn構造の層面は縦形ドリフト部22の並列pn構造の層面と略平行となっているが、直交又は斜交していても構わない。また本例の耐圧構造部20の並列pn構造は層状(プレート)構造であるが、耐圧構造部20が非電流路であることから、いずれかの導電型領域が立体的格子状構造、網目状構造やハニカム構造となっているものでも良く、同一導電型領域内が相連結したものに限らず、非連結であっても構わない。

【0040】なお、耐圧構造部20の並列pn構造の内側のpn繰り返し端面20Aとドリフト部22の並列pn構造のpn繰り返し端面22Bとが接続していると共に、耐圧構造部20の並列pn構造の内側に位置するn-型領域20aaの層面とドリフト部の並列pn構造の最外側に位置するp型仕切領域22bbの層面とが接合している。

【0041】耐圧構造部20の並列pn構造の表面上には、表面保護及び安定化のために、熱酸化膜又は燐シリカガラス(PSG)から成る酸化膜(絶縁膜)23が成膜されている。なお、ソース電極17は層間絶縁膜19aを介してゲート電極層16を覆い、酸化膜23上に延長されており、フィールドプレートとしても機能している。

【0042】耐圧構造部20の並列pn構造の外側には、基板の厚み方向に配向した層状縦形のn型低抵抗囲繞領域24が配置されている。図1(a)に示すように、このn型低抵抗囲繞領域24の層面是最外側のn-型領域20abの層面に接していると共に、外側のpn繰り返し端面20Bに接触している。またn型低抵抗囲繞領域24は、上端がドレイン電極18と同電位の周縁電極25に接し、その下端がドレイン層11に接している。

【0043】次に本例の動作について説明する。ゲート電極層16に所定の正の電位を印加すると、nチャネル型MOSFETはオン状態となり、ゲート電極層16直下のpベース領域13aの表面層に誘起される反転層を介して、ソース領域14からチャネル領域12eに電子が注入され、その注入された電子がドリフト電路領域22aを通過してn+ドレイン層11に達し、ドレイン電極18とソース電極17との間が導通する。

【0044】ゲート電極層16への正の電位を取り去ると、MOSFETはオフ状態となり、pベース領域13aの表面層に誘起される反転層が消滅し、ドレイン電極18とソース電極17との間が遮断する。更に、このオフ状態の際、逆バイアス電圧(ソース・ドレイン間電圧)が大きいと、pベース領域13aとチャネル領域12eとの間のpn接合Jaからそれぞれpベース領域13aとチャネル領域12eに空乏層が拡張して空乏化す

17

ると共に、ドリフト部22の各仕切領域22bはpベース領域13aを介してソース電極17に電氣的に接続し、ドリフト部22の各ドリフト電路領域22aはn<sup>+</sup>ドレイン層11を介してドレイン電極18に電氣的に接続しているため、仕切領域22bとドリフト電路領域22aとの間のpn接合Jbからの空乏層が仕切領域22bとドリフト電路領域22aの双方に拡張するので、ドリフト部22の空乏化が早まる。従って、ドリフト部22の高耐圧化が十分確保されているので、ドリフト部22の不純物濃度を高く設定でき、大電流化も確保できる。

【0045】ここで、本例のドリフト部22の耐圧構造部20には並列pn構造が形成されている。この並列pn構造のp<sup>-</sup>型領域20bのうち、ドリフト部22の並列pn構造の仕切領域22bから延長した同層領域はpベース領域13aを介してソース電極17に電氣的に接続し、仕切領域22bとは接続しないp<sup>-</sup>型領域20bは浮遊状態であって言わば深部ガードリングとして機能し、また各n<sup>-</sup>型領域20aはn<sup>+</sup>ドレイン層11を介してドレイン電極18に電氣的に接続しているため、耐圧構造部20のpn接合Jcから拡張した空乏層によって、基板厚み全長に亘り概ね空乏化される。このため、表面ガードリング構造やフィールドプレート構造のようにドリフト部22の耐圧構造部20側の表面側を空乏化させるだけではなく、外方向や基板深部までも空乏化させることができるので、耐圧構造部20の電界強度を大幅緩和でき、高耐圧を確保できる。それ故、超接合半導体素子の高耐圧化を実現できる。

【0046】特に、本例では、耐圧構造部20の並列pn構造がドリフト部22の並列pn構造よりも不純物量（不純物濃度）が少なく、高抵抗となっている。このため、耐圧構造部20はドリフト部22よりも早く空乏化するため、耐圧信頼性が高い。なお、この耐圧構造部20の並列pn構造のpn繰り返しピッチP2をドリフト部22の並列pn構造のpn繰り返しピッチP1よりも狭くすると、更に、耐圧信頼性の向上に繋がる。

【0047】また本例では、耐圧構造部20の並列pn構造の外周には層状縦形のn型低抵抗囲繞領域24が配置されていることから、表面の反転を防止するためのチャネルストッパーとして機能するばかりか、耐圧構造部20の並列pn構造の外側のpn繰り返し端面（横断面）20Bを覆っているため、その横断面がチップのダイシング面として露出せず、漏れ電流を抑制できると共に、ドリフト部22の並列pn構造の周囲をドレイン電位に保持でき、素子の絶縁耐圧が安定し、品質も向上する。このn型低抵抗囲繞領域24は必ずチップの側面に設ける場合に限らず、同一チップ内の別の素子との分離を確保するためのアイソレーションとして設けても良い。

【0048】次に、上記実施例1の製造方法を説明す

18

る。まず、図2(a)に示す如く、n<sup>+</sup>ドレイン層11となるべきn型の低抵抗半導体基体の上に第1層目のn型高抵抗のエピタキシャル成長層30を積層する。

【0049】次いで、フォトリソグラフィによりドリフト部22、耐圧構造部20及びn型低抵抗囲繞領域24となるべき範囲に同一ピッチの不純物導入窓32a、32b、32cの開けられたレジストマスク32を形成する。ここで、ドリフト部22となるべき範囲の不純物導入窓32aの窓寸法に比し、耐圧構造部20となるべき範囲の不純物導入窓32bの窓寸法は幅狭とする。

【0050】次いで、イオン注入法によりn型の不純物であるリンイオン33を注入して不純物導入窓32a、32b、32c直下のエピタキシャル成長層30内にリン原子34を導入する。ここで、導入されたリン原子34の最大濃度点（拡散中心）はエピタキシャル成長層30の表面より平均飛程の深さにある。

【0051】次いで、レジストマスク32を除去した後、図2(b)に示す如く、ドリフト部22及び耐圧構造部20となるべき範囲で不純物導入窓32a、32bの中間位置に同一ピッチの不純物導入窓37a、37bの開けられたレジストマスク37を形成する。ここでも、ドリフト部22となるべき範囲の不純物導入窓37aの窓寸法に比し、耐圧構造部20となるべき範囲の不純物導入窓37bの窓寸法は幅狭とする。

【0052】次いで、イオン注入法によりp型の不純物であるホウ素イオン35を注入して不純物導入窓37a、37b直下のエピタキシャル成長層30内にホウ素原子36を導入する。ここで、導入されたホウ素原子36の最大濃度点（拡散中心）はエピタキシャル成長層30の表面より平均飛程の深さにある。なお、図2(a)のリン導入工程と図2(b)のホウ素導入工程とはどちらを先に施しても良い。

【0053】そして、要求される耐圧クラスに応じ、上記のエピタキシャル成長工程と選択的不純物導入工程とを交互に繰り返す（図2(c)）。各選択的イオン注入工程のための不純物導入窓の位置は前回の不純物導入窓の位置に合わせる。本例では、都合3回繰り返して、エピタキシャル成長層30、30、30を積層した後、上方拡散のための4層目のエピタキシャル成長層30を積層する。各エピタキシャル成長層30の層厚は等しくすることが望ましい。

【0054】しかる後、図2(d)に示す如く、熱処理によって各エピタキシャル成長層30に導入されて仕込まれたリン原子34とホウ素原子36とを同時に一斉熱拡散させて、各拡散中心から拡散する拡散単位領域を上下相互に連結させ、ドリフト部22におけるn型のドリフト電路領域22aとp型の仕切領域22b、耐圧構造部20におけるn<sup>-</sup>型領域20aとp<sup>-</sup>型領域20b、及びn型低抵抗囲繞領域24を同時に形成する。これらの縦形領域は拡散単位領域の相互連結で形成されたも

19

のであるから、熱拡散が十分であればpn接合は略平坦面として観察できるが、拡散中心を最大濃度部とする濃度分布を呈している。pn接合は平坦面である必要もないことから、耐圧構造部20における並列pn構造ではpn接合の面積を高めて空乏化を旺盛にする意味においては、pn接合面が蛇行状態の場合や、拡散単位領域相互が非連結状態の場合の方がむしろ高耐圧を得ることができる。

【0055】この後、4層目のエピタキシャル成長層30の表面に通常のプロセスによりpベース領域13a等の素子活性領域を形成し、2重拡散型MOSFETを完成する。このように、各エピタキシャル成長層30に仕込んだ不純物を最後に熱拡散させて拡散単位領域を相互連結する並列pn構造やn型低抵抗囲繞領域24の形成方法は、掘り込んだトレンチ内にエピタキシャル成長層を形成する製法に比し頗る製造容易となる。

【0056】ここで例えば、耐圧600Vクラスの場合、各部の基準的な寸法及び不純物濃度は次のような値にとる。n+ドレイン層11は、比抵抗が $0.01\Omega\text{cm}$ 、厚さが $350\mu\text{m}$ 、ドリフト電路領域22a及び仕切領域22bは、不純物濃度が $2\times 10^{15}\text{cm}^{-3}$ 、厚さ(層長)が $50\mu\text{m}$ 、幅(層厚)が $5\mu\text{m}$ 、耐圧構造部20の第2の並列pn構造は、不純物濃度が $5\times 10^{14}\text{cm}^{-3}$ 、イオン注入面積(窓寸法)はドリフト部22のイオン注入面積の1/4である。

【0057】図3は並列pn構造の不純物濃度を変えてMOSFETの耐圧をシュミレーションした結果を示し、耐圧( $V_{\text{DSS}}$ )の並列pn構造における不純物濃度依存性を示す特性図である。横軸は並列pn構造のホウ素濃度に対する燐濃度の割合(100%でホウ素と燐の濃度が等しく、それ以上では燐の濃度が高く、それ以下ではホウ素の濃度が高い)、縦軸は耐圧( $V_{\text{DSS}}$ )である。

【0058】例えば、ドリフト部22の並列pn構造と耐圧構造部20の並列pn構造のホウ素濃度が共に $2\times 10^{15}\text{cm}^{-3}$ の場合、燐濃度も $2\times 10^{15}\text{cm}^{-3}$ であるときは、耐圧約880Vを得ることができるが、実施例1の製造方法を採用する場合、拡散中心を最大濃度部とする濃度分布を呈し、不純物濃度にはバラツキが生じることから、ホウ素濃度に対する燐濃度の比が70%~130%では、耐圧が約400Vも変化する。一方、ホウ素濃度を低くして $5\times 10^{14}\text{cm}^{-3}$ とするときは、耐圧が略同じで約880Vを得ることができ、またホウ素濃度に対する燐濃度の比が70%~130%では、耐圧の変化が20V程度に過ぎない。燐濃度とホウ素濃度が同一の理想的状態では、耐圧の不純物濃度依存性は認められないものの、耐圧は異なる導電型不純物の濃度比に依存し、不純物濃度が低濃度となる程、耐圧変化の濃度比依存性が小さくなる。ホウ素濃度が $2\times 10^{15}\text{cm}^{-3}$ の場合も $5\times 10^{14}\text{cm}^{-3}$ の場合も、耐圧(約880V)が変わらないことが

20

らみて、耐圧構造部20の並列pn構造では耐圧が十分確保されており、ドリフト部22の並列pn構造での耐圧(約880V)よりも高耐圧であって、素子耐圧はドリフト部22の並列pn構造の耐圧に依存している。pベース領域13aのウェル底面からn+ドレイン層11に到達する直線状の電気力線の長さに比し、pベース領域13aのウェル側面からn+ドレイン層11に到達する曲線状の電気力線の方が長い分だけ、同一ピッチ・同一不純物濃度の並列pn構造でも、耐圧構造部の並列pn構造の空乏電界強度の方が低くなるからであろう。従って、ドリフト部22が並列pn構造の場合も耐圧構造部20を並列pn構造として形成すると、耐圧構造部20の耐圧がドリフト部22の耐圧よりも大きくなるため、ドリフト部22の並列pn構造の最適化が容易となり、超接合半導体素子の設計自由度が高まり、実用化できる。

【0059】〔実施例2〕図4(a)は本発明の実施例2に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す部分平面図、図4(b)は図4(a)中のA-A'線に沿って切断した状態を示す断面図である。なお、図4(a)ではドリフト部の1/4を斜線部分で表してある。また図4において図1に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0060】本例の実施例1との構造上の違いは、耐圧構造部120の並列pn構造のpn繰返しピッチP2がドリフト部22の並列pn構造のpn繰返しピッチP1に比し広くなっている点にある。かかる場合でも、耐圧構造部120の並列pn構造の不純物濃度はドリフト部22の並列pn構造の不純物濃度に比し小さいので、耐圧構造部120の並列pn構造の耐圧はドレイン部22の並列pn構造の耐圧よりも大きくなり、素子耐圧を耐圧構造部の耐圧で決めることができる。

【0061】次に、上記実施例2の製造方法を説明する。まず、図5(a)に示す如く、n+ドレイン層11となるべきn型の低抵抗半導体基体の上に第1層目のn型高抵抗のエピタキシャル成長層30を積層する。

【0062】次いで、フォトリソグラフィーによりドリフト部22、耐圧構造部120及びn型低抵抗囲繞領域24となるべき範囲に不純物導入窓32a、32b、32cの開けられたレジストマスク32を形成する。ここで、ドリフト部22となるべき範囲の不純物導入窓32aの窓ピッチに比し、耐圧構造部120となるべき範囲の不純物導入窓32bの窓ピッチは幅広とする。

【0063】次いで、イオン注入法によりn型の不純物である燐イオン33を注入して不純物導入窓32a、32b、32c直下のエピタキシャル成長層30内に燐原子34を導入する。ここで、導入された燐原子34の最大濃度点(拡散中心)はエピタキシャル成長層30の表面より平均飛程の深さにある。

【0064】次いで、レジストマスク32を除去した

21

後、図 5 (b) に示す如く、ドリフト部 22 及び耐圧構造部 120 となるべき範囲で不純物導入窓 32a、32b の中間位置に不純物導入窓 37a、37b の開けられたレジストマスク 37 を形成する。ここでも、ドリフト部 22 となるべき範囲の不純物導入窓 37a の窓ピッチに比し、素子外周部 120 となるべき範囲の不純物導入窓 37b の窓ピッチは幅広とする。

【0065】次いで、イオン注入法により p 型の不純物であるホウ素イオン 35 を注入して不純物導入窓 37a、37b 直下のエピタキシャル成長層 30 内にホウ素原子 36 を導入する。ここで、導入されたホウ素原子 36 の最大濃度点 (拡散中心) はエピタキシャル成長層 30 の表面より平均飛程の深さにある。なお、図 5 (a) の導入手工程と図 5 (b) のホウ素導入工程とはどちらを先に施しても良い。

【0066】そして、要求される耐圧クラスに応じ、上記のエピタキシャル成長工程と選択的不純物導入工程とを交互に繰り返す (図 5 (c))。各選択的不純物導入工程のための不純物導入窓の位置は前回の不純物導入窓の位置に合わせる。本例では、都合 3 回繰り返して、エピタキシャル成長層 30、30、30 を積層した後、上方拡散のための 4 層目のエピタキシャル成長層 30 を積層する。各エピタキシャル成長層 30 の層厚は等しくすることが望ましい。

【0067】しかる後、図 5 (d) に示す如く、熱処理によって各エピタキシャル成長層 31 に導入されて仕込まれた燐原子 34 とホウ素原子 36 とを同時に一斉熱拡散させて、各拡散中心から拡散する拡散単位領域を上下相互に連結させ、ドリフト部 22 における n 型のドリフト電路領域 22a と p 型の仕切領域 22b、耐圧構造部 120 における n- 領域 20a と p- 領域 20b、及び n 型低抵抗囲繞領域 24 を同時に形成する。これらの縦形領域は拡散単位領域の相互連結で形成されたものであるから、熱拡散が十分であれば p n 接合は略平坦面として観察できるが、拡散中心を最大濃度部とする濃度分布を呈している。p n 接合は平坦面である必要もないことから、耐圧構造部の並列 p n 構造では p n 接合の面積を高めて空乏化を旺盛にする意味においては、p n 接合が蛇行状態の場合や、拡散単位領域相互が非連結状態の場合の方がむしろ高耐圧を得ることができる。

【0068】この後、4 層目のエピタキシャル成長層 30 の表面に通常のプロセスにより p ベース領域 13a 等の素子活性領域を形成し、2 重拡散型 MOSFET を完成する。このように、各エピタキシャル成長層 30 に仕込んだ不純物を最後に熱拡散させて拡散単位領域を相互連結する並列 p n 構造や n 型低抵抗囲繞領域 24 の形成方法は、トレンチなどを形成して製造する場合に比し頗る製造容易となる。

【0069】〔実施例 3〕図 6 は本発明の実施例 3 に係る縦形 MOSFET におけるドリフト部及び耐圧構造部

22

を示す部分平面図、図 7 は図 6 中の A-A' 線に沿って切断した状態を示す断面図である。なお、図 6 ではドリフト部の 1/ の部分で示してある。また図 6 において図 1 に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0070】本例の実施例 1 との構造上の違いは、耐圧構造部 220 の並列 p n 構造 220 の p n 繰返しピッチ P2 がドリフト部 22 の並列 p n 構造の繰返しピッチ P1 に比し狭くなっており、また耐圧構造部 220 の並列 p n 構造の不純物濃度がドリフト部 22 の並列 p n 構造の不純物濃度と同じである点と、n 型低抵抗囲繞領域 24 の周縁電極 25 が被着されていない点と、p ベース領域 13a の不純物濃度が p+ ではなく、それより低い p であって、代わりに p+ コンタクト領域 26 が形成されている点である。

【0071】ドリフト部 22 の並列 p n 構造と耐圧構造部 220 の並列 p n 構造とが不純物濃度が同じで p n 繰返しピッチも同じ場合、耐圧構造部 220 の並列 p n 構造のうち p n 繰返し端面 20A が p ベース領域 13a に接続した p 領域 20b a は、50V 前後のドレインソース間電圧で空乏層がドリフト部 22 から Y 方向に拡張して空乏化し、高抵抗層として機能するので耐圧を保持できるが、ドリフト部 22 の並列 p n 構造と横並びであって p ベース領域 13a に接続していない p 領域 20b b は浮遊状態であるため、この部分の p 領域 20b b はガードリングの機能しか持たず、表面電界を緩和するものの、空乏層が十分に拡がる前に臨界電界に達してしまい、高耐圧を得ることが困難である。

【0072】ところが、本例のように、ドリフト部 22 の並列 p n 構造と耐圧構造部 220 の並列 p n 構造の不純物濃度が同じでも、耐圧構造部 220 の並列 p n 構造の p n 繰返しピッチ P2 がドリフト部 22 の並列 p n 構造の p n 繰返しピッチ P1 よりも狭い場合、第 2 の並列 p n 構造は第 1 の並列 p n 構造に比較して単位長さ当たりの空乏領域が多く、しかも正味の不純物濃度が低くなるため、X 方向に空乏層が拡がり易くなるので、高耐圧化が可能となる。勿論、耐圧構造部 220 の並列 p n 構造の不純物濃度が低い程、拡散電位による空乏層幅は広くなり、正味の不純物濃度が減るので一層高耐圧化し易い。このように、耐圧構造部 220 の並列 p n 構造の p n 繰返しピッチ P2 をドリフト部 22 の並列 p n 構造の p n 繰返しピッチ P1 よりも狭くするには、図 5 に示す不純物導入窓 32b、37b の窓ピッチを不純物導入窓 32a、37a の窓ピッチよりも狭くすれば良い。

【0073】ここで、耐圧構造部 220 の n 領域 20a の不純物濃度を Na、p 領域 20b の不純物濃度を Nd、真性半導体のキャリア濃度を ni、電子の電荷を q、半導体の誘電率を  $\epsilon_s$ 、ボルツマン係数を k、絶対温度を T とすると、第 2 の並列 p n 構造 220 の拡散電位による空

23

乏層幅 $w$ はおよそ次式で与えられる。

【0074】

【数1】

$$W = \left[ \frac{2\epsilon_s}{q} \left( \frac{Na + Nd}{NaNd} \right) \frac{kT}{q} \ln \frac{NaNd}{ni^2} \right]^{\frac{1}{2}}$$

この $W$ により耐圧構造部220の並列 $pn$ 構造の $n$ 領域20aと $p$ 領域20bの領域幅の和が小さくなると、耐圧構造部220の並列 $pn$ 構造の全域が空乏層となるため、 $p$ 型、 $n$ 型の不純物を多く含むにも拘わらず、耐圧構造部220の並列 $pn$ 構造220は高抵抗層として作用することになる。なお、この効果は耐圧構造部220以外の不活性領域においても同様に得られる。

【0075】本例では、 $p^+$ コンタクト領域26を介してソース電極17に導電接続した $p$ ベース領域13aとなっているため、ラッチアップの防止に役立つ。また、図1に示すような周縁電極25が $n$ 型低抵抗囲繞領域24に被着していないが、 $n$ 型低抵抗囲繞領域24自身は $n^+$ のドレイン層11に接続しているため、その全

域がドレイン電位を保持される。

【0076】〔実施例4〕図8は本発明の実施例4に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す部分平面図、図9は図8中の $B-B'$ 線に沿って切断した状態を示す断面図である。なお、図8ではドリフト部の1/4の部分で示してある。また図8及び9において図6及び7に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0077】本例と図6及び7に示す実施例3との構造上の違いは、実施例3では、耐圧構造部320の並列 $pn$ 構造がドリフト部22の並列 $pn$ 構造に対し層面が略平行した配置となっているのに対し、本例では、耐圧構造部320の並列 $pn$ 構造がドリフト部22の並列 $pn$ 構造に対し層面が略直交した配置となっている点である。耐圧構造部320の並列 $pn$ 構造の $pn$ 繰り返し端面20Aとドリフト部22の並列 $pn$ 構造の最外側の仕切領域22bbの層面（ $p$ ベース領域13aの端面）とが接続すると共に、ドリフト部22の並列 $pn$ 構造の $pn$ 繰り返し端面22Aと耐圧構造部320の並列 $pn$ 構造の内側に位置する $n$ 型領域20aaの層面とが接続している。斯かる配置でも、耐圧構造部320の第2の並列 $pn$ 構造の繰り返しピッチ $P2$ がドリフト部22の第1の並列 $pn$ 構造の繰り返しピッチ $P1$ に比し狭くなっているため、実施例3と同様な効果が得られる。

【0078】〔実施例5〕図10は本発明の実施例5に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す断面図である。なお、図10において図7に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0079】本例の耐圧構造部420の並列 $pn$ 構造の

24

縦形 $n$ 型領域420a及び縦形 $p$ 型領域420bは縦形層状であるが、その $pn$ 接合は波形状（蛇行形状）となっている。また、 $n$ 型低抵抗囲繞領域424も内側面が波形状を呈している。後述するように、このような形態の縦形 $n$ 型領域420a及び縦形 $p$ 型領域420bは基板の厚さ方向に離散的な複数の拡散中心から拡散した拡散単位領域を上下に連結して得ることができる。今までの実施例のように、耐圧構造部420の縦形の第2の並列 $pn$ 構造を形成する縦形 $n$ 型領域20a及び縦形 $p$ 型領域20bの $pn$ 接合が平坦面となるように構成しても良いが、耐圧構造部420は電流路ではなく、オフ状態で空乏化する領域に過ぎないため、波面状の $pn$ 接合を持たせることにより、耐圧構造部420内の $pn$ 接合面積を豊富化でき、単位体積当たりの $pn$ 接合の面積比率が大きくなるから、耐圧構造部420の全域が均等且つ稠密に空乏化し易くなるので、高耐圧を得ることができる。しかも、実施例1乃至4の製造プロセスに較べ、何ら工数の追加を招かずに済む。

【0080】次に、上記実施例5の製造方法を説明する。まず、図11(a)に示す如く、 $n^+$ ドレイン層11となるべき $n$ 型の低抵抗半導体基体の上に第1層目の $n$ 型高抵抗のエピタキシャル成長層30を積層する。

【0081】次いで、図11(b)に示す如く、イオン注入法によりエピタキシャル成長層30の全表面に $n$ 型の不純物であるリンイオン33を注入してリン原子34を導入する。次いで、図11(c)に示す如く、フォトリソグラフィによりドリフト部22、耐圧構造部420となるべき範囲に不純物導入窓32a、32bの開けられたレジストマスク32を形成する。ここで、ドリフト部22となるべき範囲の不純物導入窓32aの窓寸法と繰り返しピッチに比し、耐圧構造部420となるべき範囲の不純物導入窓32bの窓寸法と繰り返しピッチは狭くする。次いで、イオン注入法により $p$ 型の不純物であるホウ素イオン35を注入して不純物導入窓32a、32b直下のエピタキシャル成長層30内にホウ素原子36を導入する。

【0082】そして、要求される耐圧クラスに応じ、上記のエピタキシャル成長工程（図11(a)）と、全面的 $n$ 型不純物導入工程（図11(b)）及び選択的 $p$ 型不純物導入工程（図11(c)）と、を交互に繰り返す（図12(d)）。全面的 $n$ 型不純物導入工程と選択的 $p$ 型不純物導入工程とはどちらを先に施しても良い。各選択的イオン注入工程のための不純物導入窓の位置は前回の不純物導入窓の位置に合わせる。本例では、都合3回繰り返し、エピタキシャル成長層30、30、30を積層した後、上方拡散のための4層目のエピタキシャル成長層30を積層する。各エピタキシャル成長層30の層厚は等しくすることが望ましい。

【0083】しかる後、図12(e)に示す如く、熱処理によって各エピタキシャル成長層30に導入されて仕

25

込まれた燐原子34とホウ素原子36とを同時に一斉熱拡散させる。全面導入された燐原子34は全域的に拡散するが、選択的に導入されたホウ素原子36は各拡散中心から拡散し、拡散単位領域が上下相互に連結する。これによって、ドリフト部22におけるn型のドリフト電路領域22aとp型の仕切領域22b、耐圧構造部420におけるn型領域420a、p型領域420b、及びn型低抵抗囲繞領域424が同時に形成される。これらの縦形領域は拡散単位領域の相互連結で形成されたものであるから、不純物導入窓32aの窓寸法が広く、不純物導入量が十分のドリフト部22ではpn接合面が平坦面となっているが、外周領域の第2の並列pn構造420では不純物導入窓32bの窓寸法が小さいために、pn接合が波形状を呈し、拡散中心を最大濃度部とする濃度分布を有している。例えば、ドリフト部22の並列pn構造のピッチP1を16 $\mu\text{m}$ で、耐圧構造部の並列pn構造のピッチP2を8 $\mu\text{m}$ で構成する場合、燐の不純物導入窓32aの窓寸法及び窓ピッチはそれぞれ4 $\mu\text{m}$ 、16 $\mu\text{m}$ とし、耐圧構造部の並列pn構造の窓寸法及び窓間隔はそれぞれ2 $\mu\text{m}$ 、8 $\mu\text{m}$ とすれば良い。但し、燐34とホウ素36のドーザ量をそれぞれ $0.5 \times 10^{13} \text{cm}^{-2}$ 、 $2.0 \times 10^{13} \text{cm}^{-2}$ とした場合である。

【0084】この後、4層目のエピタキシャル成長層30の表面に通常のプロセスによりpベース領域13a等の素子活性領域を形成し、2重拡散型MOSFETを完成する。本例においても、各エピタキシャル成長層30に仕込んだ不純物を最後に熱拡散させて拡散単位領域を相互連結する並列pn構造やn型低抵抗囲繞領域の形成方法は、トレンチなどを形成して製造する場合に比し頗る製造容易となる。

【0085】〔実施例6〕図13は本発明の実施例6に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す断面図である。なお、図13において図7に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0086】本例における耐圧構造部520の並列pn構造のp型領域520bは層状に連続しておらず、縦方向離散的に縦列した複数の拡散単位領域が非連続となった分散構造である。そのため、n型領域520aは縦方向のみならず横方向にも連続しており、立体格子状を形成している。このような形態の耐圧構造部520の並列pn構造では、pn接合が波形を呈している図10に示す並列pn構造に比べ、p型領域520bの非連結部分におけるpn接合面の分だけ、接合面積が多くなっているため、高耐圧化を図ることができる。

【0087】この耐圧構造部520の並列pn構造を形成する場合は、図11に示す不純物導入窓32bの窓寸法を更に狭くすれば良い。ホウ素原子の拡散単位領域の拡散長さが拡散中心間距離に比して短いので、非連続となる。

26

【0088】〔実施例7〕図14は本発明の実施例7に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す断面図である。なお、図14において図7に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0089】本例においては、図13に示す実施例6における耐圧構造部520の並列pn構造の形態とは逆に、耐圧構造部620の並列pn構造のn型領域520aは層状に連続しておらず、縦方向離散的に縦列した複数の拡散単位領域が非連続となった分散構造である。そのため、p型領域620bは縦方向のみならず横方向にも連続しており、立体格子状を形成している。このような形態の耐圧構造部620の並列pn構造でもまた、pn接合が波形を呈している図10に示す並列pn構造に比べ、n型領域620aの非連結部分におけるpn接合面の分だけ、接合面積が多くなっているため、高耐圧化を図ることができる。

【0090】そして、この耐圧構造部620の並列pn構造を形成する場合は、図11に示す不純物導入窓32bの窓寸法を逆に広くすれば良い。ホウ素原子の拡散単位領域の拡散長さが拡散中心間距離に比して長いので、p型領域620bが横方向も連続し、n型領域620aが非連続となる。

【0091】〔実施例8〕図15は本発明の実施例8に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す断面図である。なお、図15において図7に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0092】本例の耐圧構造部の並列pn構造は、基板の主面に平行又は傾斜した横形n型領域720aと基板の主面に平行又は傾斜した横形p型領域720bとを接合して成る横形構造である。ここでも、耐圧構造部720の並列pn構造のpn繰り返しピッチP2はドリフト部22の第1の並列pn構造のpn繰り返しピッチP1よりも小さい。各横形p型領域720bはpベース領域13a又はドリフト部22の最外のp型仕切領域22bを介してソース電極17に電氣的に接続していると共に、横形n型領域720aはn型低抵抗囲繞領域24及びn+ドレイン層11を介してドレイン電極18に確実に電氣的に接続している。このため、オフ状態では耐圧構造部720の並列pn構造の各pn接合から上下双方に空乏層が拡張し、耐圧構造部720の全域が空乏化するので、高耐圧が得られる。

【0093】このような横形の並列pn構造は、積み増しするエピタキシャル成長層のうち、素子外周部720となるべき範囲に全面的又は選択的なイオン注入で不純物を導入するが、不純物の導電型をエピタキシャル成長層毎に交互に逆にし、最後に熱拡散で横形n型領域720aと横形p型領域720bを形成する。第2の並列pn構造の不純物濃度は低濃度の方が良いため、低抵抗の



27

n型エピタキシャル成長層を形成する際は、n型のイオン注入による不純物濃度制御を省略できる。勿論、第2の並列pn構造のpn接合は平坦面に限らず、波形状や非連続状でも構わない。ただ、pn繰り返しの空間周波数はエピタキシャル成長層の積み増数の半数に相当するから、工数の増大を招き、また、ドレイン部22の形成プロセスをそのまま援用し難いという難点がある。なお、横形の並列pn構造は立体格子構造でも網目構造でも構わない。また、pn接合面は波形状でも構わない。

【0094】〔実施例9〕図16は本発明の実施例9に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す平面図である。なお、図16において図6に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0095】図16において、耐圧構造部820の内部構造は図示されていないが、図13や図14に示す不連続状の各n領域及びp領域の大きさを極限移行して微小にした集合領域に相当しており、p型不純物とn型不純物との双方を全域にドーピングしてキャリア濃度が略零又は零に近似できる高抵抗領域（i層：真性半導体）である。p型不純物とn型不純物が同じ領域におよそ同量含まれている場合、これらp型不純物、n型不純物は互いに補償するため、高抵抗領域として作用する。また、互いに非常に接近している異なる領域においても、およそ同量の不純物が含まれていれば、互いに補償し合うため、高抵抗領域として機能する。このような高抵抗領域の抵抗率は単一導電型の低濃度領域の抵抗率より高く、望ましくは2倍以上とする。このような高抵抗領域は微視的にはpn接合で埋め尽くされているものであるから、微視的なpn混在構造と見なすことができる。このため、単位体積当たりのpn接合の面積比率は激増し、高耐圧化が得られる。

【0096】高抵抗領域の耐圧構造部820を形成する方法は、積み増しするエピタキシャル成長層のうち耐圧構造部となるべき範囲に、そのエピタキシャル成長層の不純物濃度を補償する程度の逆導電型不純物を全面的にイオン注入する工程を繰り返し、最後に拡散させるものである。また、n型とp型の不純物がおよそ同量となるようなエピタキシャル成長工程を行っても良い。

【0097】〔実施例10〕図17は本発明の実施例10に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す平面図である。なお、図17において図6に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0098】本例のドリフト部122の並列pn構造は、基板の厚さ方向に配向する断面円形の柱状p型仕切領域122bをn型電路領域122aが取り囲む構造となっている。複数の離散的な柱状p型仕切領域122bは平面視で立体三方格子を形成しているが、立体四方格子等でも構わない。ドリフト部122ではn型電路領域

28

122aの総断面積がp型仕切領域122bの総断面積よりも大きい、n型電路領域122aとp型仕切領域122bとの総不純物濃度がおよそ同等であれば逆の場合でも構わない。柱状のn型電路領域122aをp型仕切領域122bが取り囲むような構造としても差支えない。

【0099】一方、耐圧構造部920の並列pn構造も、基板の厚さ方向に配向する断面円形の柱状p型領域920bをn型領域920aが取り囲む構造となっている。勿論、その逆でも構わない。p型領域920bの断面積はp型仕切領域の断面積よりも小さい。そして、耐圧構造部920の並列pn構造のpn繰り返しピッチp2は、ドレイン部122の並列pn構造の繰り返しピッチp1よりも狭くなっている。図6に示す素耐圧構造部のn型領域及びp型領域はプレート状であるが、本例のように柱状p型領域920bを形成すると、pn接合面の面積が約2倍以上増えるため、高耐圧化が更に高まる。

【0100】〔実施例11〕図18は本発明の実施例11に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す平面図、図19は図18中のA-A'線に沿って切断した状態を示す断面図、図20は図18中のB-B'線に沿って切断した状態を示す断面図である。なお、なお、図18ではドリフト部の1/4を斜線部分で示してある。また、図18乃至20において図6及び7に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0101】本例のドリフト部122の並列pn構造のpn繰り返しピッチ及びP1の不純物濃度は耐圧構造部20の並列pn構造のpn繰り返しピッチP2及び不純物濃度と同じであるが、耐圧構造部20の表面側にはドリフト部122を取り囲むように多重のp型均圧リング20cが巡らされている。このp型均圧リング20cは耐圧構造部20の並列pn構造の多数のp型領域20bを電気的に接続するものである。そして、このp型均圧リング20cの不純物濃度はp型領域20bの不純物濃度よりも高い。

【0102】ゲートをソースにショートし、ドレイン電位を正に高めていくと、ドリフト部122の並列pn構造は完全に空乏化し、ドリフト部122から耐圧構造部20へと空乏層が拡張する。ここで、p型均圧リング20cがない場合、耐圧構造部20の並列pn構造のうち、一端がpベース領域13aに直接接続しているp型領域20bbではY方向に空乏層が拡張するものの、一端がpベース領域13aに直接接続していないp型領域20baは浮遊状態でガードリングとしてのみ機能するため、空乏層のX方向への拡張が弱く、臨界電界に達し易い。

【0103】ところが、本例では、一端がpベース領域13aに直接接続していないp型領域20baはp型均



29

圧リング 20c を介して一端が p ベース領域 13a に直接接続している p 型領域 20b に電氣的に接続されているため、p 型領域 20b の浮遊状態が解消し、p 型領域 20b はソース電位側に固定されるので、p 型領域 20b の pn 接合も確実に逆バイアスになり、空乏層が X 方向へ拡張する。従って、高耐圧化を図ることができる。なお、図 19 及び 20 中の破線は空乏層端の拡がりを示す。また、p 型均圧リング 20c による耐圧構造は並列 pn 構造の幅に関係なく設計できるので、高耐圧化と共に低抵抗化が可能である。多重の p 型均圧リング 20c は離散的に巡らしてあるが、リング幅を広くして 1 環でも良い。

【0104】本例ではまた、p 型均圧リング 20c の不純物濃度が p 型領域 20b の不純物濃度よりも高くなっているため、p 型領域 20b の空乏化と共に、p 型均圧リング 20c も空乏化して均圧リングとして作用しなくなるということはない。

【0105】〔実施例 12〕図 21 は本発明の実施例 12 に係る縦形 MOSFET におけるドリフト部及び耐圧構造部を示す平面図、図 22 は図 21 中の C-C' に沿って切断した断面図である。なお、図 21 ではドリフト部の 1/4 を斜線部分で示してある。また、図 21 及び 22 において図 18 及び 19 に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0106】本例では、耐圧構造部 20 の並列 pn 構造の最外周部は n 型低抵抗囲繞領域 24 となっており、この n 型低抵抗囲繞領域 24 の表面側には n 型高濃度のチャネルストッパー 24a が形成されている。n 型低抵抗囲繞領域 24 により、耐圧構造部 20 の繰り返し端面が覆われているため、漏れ電流を抑制することができる。また、n 型低抵抗囲繞領域 24 がドレイン電位に固定されることから、耐圧構造部 20 の幅寸法を短くすることができ、且つ、素子の耐圧を安定させることができる。n 型低抵抗囲繞領域 24 の幅は n 型ドリフト電路領域 22a の幅、若しくは p 型仕切領域 22b の間隔よりも大きくすることが望ましく、2 倍以上が望ましい。

【0107】なお、本例でも、p 型均圧リング 20c の不純物濃度が p 型領域 20b の不純物濃度よりも高くなっているため、p 型領域 20b の空乏化と共に、p 型均圧リング 20c も空乏化して均圧リングとして作用しなくなるということはない。

【0108】〔実施例 13〕図 23 は本発明の実施例 13 に係る縦形 MOSFET におけるドリフト部及び耐圧構造部を示す平面図である。なお、図 23 ではドリフト部の 1/4 を斜線部分で示してある。また、図 23 において図 21 に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0109】本例の耐圧構造部 920 は図 17 に示すような並列 pn 構造となっている。この並列 pn 構造は、基板の厚さ方向に配向する断面円形の柱状 p 型領域 92

30

0b を n 型領域 920a が取り囲む構造となっている。複数の離散的な柱状 p 型領域 920b は平面視で三方格子を形成している。なお、四方格子等でも構わない。そして、多重の p 型均圧リング 20c が多数の柱状 p 型領域 920b の上端と接続するように巡らされている。このような柱状 p 型領域 920b を有する第 2 の並列 pn 構造でも、各柱状 p 型領域 920b は p ベース領域には直接接続されていないものの、p 型均圧リング 20c を介してソース電位側に固定されているので、X 方向及び Y 方向に空乏層が拡がるため、高耐圧を得ることができる。

【0110】なお、本例でも、p 型均圧リング 20c の不純物濃度が p 型領域 920b の不純物濃度よりも高くなっているため、p 型領域 920b の空乏化と共に、p 型均圧リング 20c も空乏化して均圧リングとして作用しなくなるということはない。

【0111】〔実施例 14〕図 24 は本発明の実施例 14 に係る縦形 MOSFET におけるドリフト部及び耐圧構造部を示す平面図である。なお、図 24 ではドリフト部の 1/4 を斜線部分で示してある。また、図 24 において図 21 に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0112】本例の耐圧構造部 500 の並列 pn 構造は、基板の厚さ方向に配向する断面円形の柱状 n 型領域 500a と基板の厚さ方向に配向する断面円形の柱状 p 型領域 920b とが、それらの中間に介し基板の厚さ方向に配向する高抵抗領域 500c で取り囲まれた構造となっている。複数の離散的な柱状 n 型領域 500a は平面視で三方格子を形成していると共に、複数の離散的な柱状 p 型領域 920b も平面視で三方格子を形成している。四方格子等でも構わない。中間に位置する高抵抗領域 500c は、実施例 9 における外周領域を埋め尽くしている高抵抗領域と同じように、およそ同量の p 型不純物と n 型不純物との双方をドーピングしたものに相当している。これら p 型不純物、n 型不純物は互いに補償するため、キャリア濃度が略零又は零に近似できる高抵抗領域として作用する。pn 接合分布の稠密・豊富化により高耐圧を得ることができる。また、このような柱状 p 型領域 500b 及び柱状 n 型領域 500a を有する第 2 の並列 pn 構造でも、各柱状 p 型領域 500b は p ベース領域には直接接続されていないものの、p 型均圧リング 20c を介してソース電位側に固定されているので、X 方向及び Y 方向に空乏層が均等に拡がるため、高耐圧を得ることができる。

【0113】なお、本例でも、p 型均圧リング 20c の不純物濃度が p 型領域 500b の不純物濃度よりも高くなっているため、p 型領域 500b の空乏化と共に、p 型均圧リング 20c も空乏化して均圧リングとして作用しなくなるということはない。また、p 型均圧リング 20c の表面は酸化膜 23 で覆われているが、p 型均圧リ

31

グ20cに接続してフィールドプレートを形成しても良い。

【0114】〔実施例15〕図25は本発明の実施例15に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す平面図である。なお、図25ではドリフト部の1/4を斜線部分で示してある。また、図25において図6に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0115】本例の耐圧構造部を形成する並列pn構造は、ドリフト部22の並列pn構造の層面に対し層面が略平行して成る第1の並列pn構造220Aと、ドリフト部22の並列pn構造の層面に対し層面が略直交して成る第2の並列pn構造220Bとを併有するものである。第1の並列pn構造220Aのpn繰り返し端面20Aがドリフト部22の並列pn構造のpn繰り返し端面22Aと接続していると共に、第2の並列pn構造220Bのうち一部分220bのpn繰り返し端面20Bbがドリフト部22の並列pn構造の最外側に位置する仕切領域22bbと接続している。そして、第2の並列pn構造220Bのうち他の部分220cのpn繰り返し端面20Bcが第1の並列pn構造220Aの側端寄りに位置するp型領域20bbに接続している。

【0116】図6に示す耐圧構造部は単一の並列pn構造であるため、本例の第2の並列pn構造220Bに相当する部分では、p型領域20bに対してソース電位を伝達できず、ガードリング機能だけを発揮するものであるが、本例では、第2の並列pn構造220Bのうち一部分220bのpn繰り返し端面20Bbがドリフト部22の並列pn構造の最外側に位置する仕切領域22bbと接続しているため、この一部分220bに含まれるp型領域20bのすべてがソース電位の伝達に預かり、また、第2の並列pn構造220Bのうち他の部分220cのpn繰り返し端面20Bcが第1の並列pn構造220Aの側端寄りに位置するp型領域20bbに接続しているため、この他の部分220cに含まれるp型領域20bのすべてがソース電位の伝達に預かる。従って、耐圧構造部全域を逆バイアス化でき、早期の空乏化が実現するので、表面に均圧リングを付設しなくても済む。第1の並列pn構造220Aのp型領域20bbはソース電位伝達手段としても機能している。勿論、本例の場合でも均圧リングを付設しても構わない。

【0117】例えば、600V耐圧クラスのMOSFETの場合、各部の基準的な寸法及び不純物濃度は次のような値をとる。ドレイン層11の比抵抗は $0.01\Omega\cdot\text{cm}$ 、厚さ $350\mu\text{m}$ 、ドリフト領域22a及び仕切領域22bの不純物濃度は $2\times 10^{15}\text{cm}^{-3}$ 、厚さ $40\mu\text{m}$ 、セルピッチ $16\mu\text{m}$ 、耐圧構造部の不純物濃度層 $5\times 10^{14}\text{cm}^{-3}$ 、セルピッチ $8\mu\text{m}$ である。なお、最外側の仕切領域22bbの層幅は $4\mu\text{m}$ である。

【0118】〔実施例16〕図26は本発明の実施例1

32

6に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す平面図である。なお、図26ではドリフト部の1/4を斜線部分で示してある。また、図26において図8に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0119】本例の耐圧構造部を形成する並列pn構造も、ドリフト部22の並列pn構造の層面に対し層面が略直交して成る第1の並列pn構造320Aと、ドリフト部22の並列pn構造の層面に対し層面が略平行して成る第2の並列pn構造320Bとを併有するものである。第1の並列pn構造320Aのpn繰り返し端面20Aがドリフト部22の並列pn構造の最外側に位置する仕切領域22bbと接続していると共に、第2の並列pn構造320Bのうち一部分320bのpn繰り返し端面20Bbがドリフト部22の並列pn構造のpn繰り返し端面22Aと接続している。そして、第2の並列pn構造320Bのうち他の部分320cのpn繰り返し端面20Bcが第1の並列pn構造320Aの側端寄りに位置するp型領域20bbに接続している。

【0120】図8に示す耐圧構造部は単一の並列pn構造であるため、本例に第2の並列pn構造320Bに相当する部分では、p型領域20bに対してソース電位が伝達できず、ガードリング機能だけを発揮するものであるが、本例では、第2の並列pn構造320Bのうち一部分320bのpn繰り返し端面20Bbがドリフト部22の並列pn構造のpn繰り返し端面22Aと接続しているため、この一部分320bに含まれるp型領域20bのすべてがソース電位の伝達に預かり、また、第2の並列pn構造320Bのうち他の部分320cのpn繰り返し端面20Bcが第1の並列pn構造320Aの側端寄りに位置するp型領域20bbに接続しているため、この他の部分320cに含まれるp型領域20bのすべてがソース電位の伝達に預かる。従って、耐圧構造部全域を早期に空乏化でき、表面に均圧リングを付設しなくても済む。第1の並列pn構造320Aのp型領域20bbはソース電位伝達手段としても機能している。勿論、本例の場合でも均圧リングを付設しても構わない。

【0121】〔実施例17〕図27は本発明の実施例17に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す断面図である。図27において図7に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0122】本例は、図6及び図7に示す実施例3の改善例である。実施例3では、耐圧構造部220のpn並列構造のpn繰り返しピッチP2がドリフト部22の並列pn構造のpn繰り返しピッチP1よりも狭くなっているため、ドリフト部22の最外側の仕切領域22bbの層厚に比しこれと接合する耐圧構造部220の最内側のn領域20aaの層厚の方がいきなり狭いものである

33

から、両者間のチャージバランスが合致せず、ドリフト部22と耐圧構造部220との境界での電界強度が高く  
なり、高耐圧を保持し難い。

【0123】そこで、本例では、耐圧構造部120のpn並列構造の各領域20a、20bの層厚はW5とするものの、ドリフト部22の並列pn構造を形成するドリフト電路領域22aと仕切領域22bの層厚を内側から外側にかえて漸減(W1~W5)させて、ドリフト部22の最外側の仕切領域22bbの層厚が耐圧構造部120の最内側のn型領域20aaの層厚W5と等しくなっている。pn接合領域の同士の相互に含まれる電荷量を  
10 合わせ込むことができ、チャージバランスが実現されて、耐圧構造部120とドレイン部22との境界での電界が緩和されるため、高耐圧を保持できる。

【0124】例えば、600V耐圧クラスのMOSFETの場合、各部の基準的な寸法及び不純物濃度は次のような値をとる。ドレイン層11の比抵抗は $0.01\Omega\cdot\text{cm}$ 、厚さ $350\mu\text{m}$ 、ドリフト領域22a及び仕切領域22bの不純物濃度は $2\times 10^{15}\text{cm}^{-3}$ 、厚さ $40\mu\text{m}$ 、  
10 層厚W1=8 $\mu\text{m}$ 、層厚W2=7 $\mu\text{m}$ 、層厚W3=6 $\mu\text{m}$ 、層厚W4=5 $\mu\text{m}$ 、層厚W5=4 $\mu\text{m}$ である。製法上、燐のレジストマスクの窓寸法を、それぞれ4、3、5、3、2.5、2 $\mu\text{m}$ とすれば良い。

【0125】なお、pn並列構造を形成する各領域は層状に限らず、立体格子状やpn接合面が波形状でも構わない。

【0126】〔実施例18〕図28は本発明の実施例18に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す断面図である。図28において図27に示す部分と同一部分には同一参照符号を付し、その説明は  
30 省略する。

【0127】図27に示す構造と異なる点は、ソース電極17が耐圧構造部120上に酸化膜23上の一部まで延び、ドリフト部22のpn並列構造の各領域22a、22bの層厚はW1とするものの、耐圧構造部120の並列pn構造を形成する領域20a、20bの層厚をソース電極17下において内側から外側にかえて漸減(W1~W5)させて、耐圧構造部120の最内側のn型領域20aaの層厚がドリフト部22の最外側の仕切領域22bbの層厚と等しくなっている。斯かる構造でも、  
40 図27に示す実施例17と同じく、耐圧構造部120とドリフト部22との境界での電界が緩和されるため、高耐圧を保持できる。また、pベース13の横幅を縮小できる。

【0128】なお、上記各実施例では2重拡散型の縦形MOSFETについて説明したが、本発明の第2の並列pn構造はIGBT(伝導度変調型MOSFET)、バイポーラトランジスタ、pn接合ダイオードやショットキーダイオード等にも適用できる。勿論、ドリフト部が並列pn構造ではなく、単一の導電型領域のドリフト部  
50

34

でも素子外周部の高耐圧化を図ることができる。

【0129】

【発明の効果】以上説明したように、本発明はドリフト部の周りの耐圧構造部を並列pn構造又は第1導電型と第2導電型の不純物をドーブした高抵抗領域として構成したことを特徴としているため、次のような効果を奏する。

【0130】(1) ドリフト部の周りに並列pn構造が配置されているため、オフ状態では、多重のpn接合面から空乏層が拡張し、素子活性領域の近傍に限らず、外方向や第2主面側まで空乏化するので、耐圧構造部の耐圧はドリフト部の耐圧よりも大きい。従って、ドリフト部に縦形の並列pn構造を採用した超接合半導体素子においても、耐圧構造部の耐圧が十分に保証されていることになるため、ドリフト部の並列pn構造の最適化が容易で、超接合半導体素子の設計自由度が高まり、超接合半導体素子を実用化できる。

【0131】(2) 耐圧構造部の並列pn構造がドリフト部の並列pn構造よりも不純物量の少ない場合、又は耐圧構造部の並列pn構造がドリフト部の並列pn構造よりもpn繰り返しピッチの狭い場合、耐圧構造部の耐圧をドリフト部の耐圧よりも確実に大きくでき、信頼性が向上する。

【0132】(3) 耐圧構造部の並列pn構造が基板の厚み方向に配向する縦形第1導電型領域と基板の厚み方向に配向する縦形第2導電型領域とを接合して成る縦形構造である場合、ドリフト部の並列pn構造の形成工程を援用して同時形成できるため、工数の削減により、低コスト化を実現できる。

【0133】(4) 耐圧構造部の縦形並列pn構造を形成する縦形第1導電型領域と縦形第2導電型領域のうち少なくとも一方が、基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互接続して成る会合構造とする場合、縦形の並列pn構造の形成が容易となる。

【0134】(5) ドリフト部の並列pn構造を形成する縦形ドリフト電路領域と縦形仕切領域が層状である場合、耐圧構造部の並列pn構造は、ドリフト部の並列pn構造に対し層面が略平行したレイアウトでも、略直交したレイアウトでも、斜交したレイアウトでも採用できる。特に、耐圧構造部の並列pn構造をドレイン部の並列pn構造に対して層面が斜交したレイアウトとすれば、耐圧構造部の縦形第2導電型領域のすべてがドレイン部の仕切領域又は活性領域と確実に接続し、耐圧構造部全域の空乏化を実現できる。

【0135】(6) 耐圧構造部の並列pn構造の層面がドリフト部の並列pn構造の層面に対し略平行して成り、耐圧構造部の並列pn構造のpn繰り返し端面とドリフト部の並列pn構造のpn繰り返し端面とが接続していると共に、耐圧構造部の並列pn構造の最内側に位置する縦形第1導電型領域の層面とドリフト部の並列p

35

n構造の最外側に位置する縦形仕切領域の層面とが接合して成るレイアウトを採用する場合、ドリフト部の並列pn構造を形成する縦形ドリフト電路領域と縦形仕切領域の層厚が内側から外側にかえて漸減する部分を有する。ドリフト部と耐圧構造部の境界部分において最外側の縦形仕切領域の層厚と最内側の縦形第1導電型領域の層厚とを略等しくできる。pn接合領域の同士の相互に含まれる電荷量を合わせ込むことができ、チャージバランスが実現されて、耐圧構造部とドレイン部との境界での電界が緩和されるため、高耐圧を保持できる。逆に、耐圧構造部の並列pn構造を形成する縦形第1導電領域と縦形第2導電型領域の層厚が内側から外側にかえて漸減する部分を有する場合でも、ドリフト部と耐圧構造部の境界部分において最内側の縦形第1導電型領域の層厚と最外側の前記縦形仕切領域の層厚とを略等しくできる。

【0136】(7) 耐圧構造部の並列pn構造として、ドリフト部の並列pn構造の層面に対し層面が略平行して成る第1の並列pn構造と、ドリフト部の並列pn構造の層面に対し層面が略直交して成る第2の並列pn構造とを併有するレイアウトを採用できる。斯かるレイアウトでは、第1の並列pn構造のpn繰り返し端面をドリフト部の並列pn構造のpn繰り返し端面に接続すると共に、第2の並列pn構造のpn繰り返し端面をドリフト部の並列pn構造の最外側に位置する縦形仕切領域に接続する。そして、耐圧構造部の並列pn構造のうち、第1の並列pn構造と第2の並列pn構造とで画成される隅部に第1及び第2の並列pn構造のいずれかよりpn繰り返し展開して成る第3の並列pn構造を有し、当該第3の並列pn構造のpn繰り返し端面と第1及び第2の並列pn構造のいずれかの側端寄りに位置する縦形第2導電型領域に接続する。第1及び第2の並列pn構造のいずれかの側端寄りに位置する縦形第2導電型領域を等電位領域として利用し、これに接続するpn繰り返し端面から複数の縦形第2導電型領域に櫛歯状に分岐させて導通を達成するものである。基板表面に均圧リング等を付設せずに耐圧構造部を隈なく早期に空乏化できる。

【0137】(8) 耐圧構造部の並列pn構造の各p型領域又は各n型領域のpn接合面を波形状とする場合、単位体積当たりのpn接合の面積比率が大きくなるので、空乏化し易く、高耐圧化を実現できる。

【0138】(9) 縦形第1導電型領域と縦形第2導電型領域の双方が柱状であって、縦形第1導電型領域と縦形第2導電型領域との間に第1導電型不純物と第2導電型不純物の双方をドーピングして成る高抵抗領域が介在して成る構成では、高耐圧化が得られる。

【0139】(10) 耐圧構造部の第1主面側にドリフト部を取り囲み、複数の縦形第2導電型領域を相互接続する少なくとも1重の第2導電型均圧リングを形成した

36

構成では、一端が素子活性領域に直接接続していない縦形第2導電型領域は第2導電型均圧リングを介して一端が素子活性領域に直接接続している縦形第2導電型領域に電氣的に接続されているため、縦形第2導電型領域の浮遊状態が解消し、素子活性領域側の電位に固定されるので、耐圧構造部では全体的に均一に空乏層が外方向へ拡張する。従って、高耐圧化を図ることができる。

【0140】(11) 第2導電型均圧リングの不純物濃度が縦形第2導電型領域の不純物濃度よりも高い場合、第2導電型均圧リングも空乏化してしまい、均圧リングとして作用しなくなるという不都合を無くすることができる。

【0141】(12) 耐圧構造部の並列pn構造を形成する縦形第1導電型領域と縦形第2導電型領域のうち、少なくとも一方は基板の厚み方向に離散的に埋め込んだ複数の拡散単位領域が相互離間した分散構造とした場合、pn接合の豊富化を図ることができ、高耐圧を得ることができる。分散構造の極限例として、不連続状の各n領域及びp領域の大きさを微小にした集合領域は、p型不純物とn型不純物との双方を全域にドーピングした高抵抗領域に相当している。耐圧構造部がこのような高抵抗領域の場合でも、高耐圧化を図ることができる。

【0142】(13) 第1主面と低抵抗層との間に介在し、耐圧構造部の外側には第1導電型の低抵抗囲繞領域を設けた構成では、第2電極の電位を素子外周部の側面に印加でき、空乏層を外方向に延ばすことができ、またpn繰り返し端面が覆われているので、漏れ電流を抑制することができる。

【0143】(14) 本発明の縦形並列pn構造の形成法は、第1導電型の低抵抗基体の上に、第1導電型高抵抗のエピタキシャル成長層を形成する工程と、このエピタキシャル成長層に第1導電型の不純物イオン及び第2導電型の不純物イオンをそれぞれ離散的に配置した複数の第1の不純物導入窓及び第2の不純物導入窓を介して選択的に導入する工程と、を交互に繰り返した後、熱処理を施して上記各エピタキシャル成長層に導入した上記不純物を拡散中心部から熱拡散させて同導電型の拡散単位領域同士を上下相互に接続し、上記並列pn構造を形成することを特徴としている。各エピタキシャル成長層に仕込んだ不純物を最後に熱拡散させて会合させて縦形第1導電型領域と縦形第2導電型領域とを一気に形成するものであるから、並列pn構造の製造が容易である。素子外周領域の並列pn構造を形成すべき範囲の第1及び第2の不純物導入窓の窓寸法が素子外周領域の並列pn構造を形成すべき範囲の第1及び第2の不純物導入窓の窓寸法に比し狭くした場合、素子外周領域の並列pn構造を形成すべき範囲の第1及び第2の不純物導入窓の繰り返しピッチがドリフト部の並列pn構造を形成すべき範囲の第1及び第2の不純物導入窓の繰り返しピッチに比し広い場合も、素子外周領域の並列pn構造は並列

37

p n構造に比し不純物濃度が低くなるので、素子外周部の耐圧を高めることができる。

【0144】(15) 別の製造方法としては、第1導電型の低抵抗基体の上に、第1導電型高抵抗のエピタキシャル成長層を形成する工程と、このエピタキシャル成長層に第1導電型の不純物イオンの全面的に導入すると共に第2導電型の不純物イオンを離散的に配置した複数の第2の不純物導入窓を介して選択的に導入する工程と、を交互に繰り返した後、熱処理を施して各エピタキシャル成長層に導入した不純物を熱拡散させて、同導電型の拡散単位領域同士を上下相互に接続し、上記並列p n構造を形成することを特徴とする。第1導電型不純物を選択的に導入するためのマスキング工程が不要となる。かかる方法において、素子外周領域の並列p n構造を形成すべき範囲の第2の不純物導入窓の窓寸法及び繰り返しピッチがドリフト部の並列p n構造を形成すべき範囲の第2の不純物導入窓の窓寸法及び繰り返しピッチに比し狭い場合、素子外周領域の並列p n構造と並列p n構造とは不純物濃度が略等しくなるものの、素子外周領域の並列p n構造の繰り返しピッチをドリフト部の並列p n構造の繰り返しピッチよりも狭くでき、また素子外周領域の並列p n構造のp n接合を波形等や、拡散単位領域を非連続にすることができるので、素子外周部の耐圧を高めることができる。

【図面の簡単な説明】

【図1】(a)は本発明の実施例1に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す部分平面図、(b)は(a)中のA-A'線に沿って切断した状態を示す断面図である。

【図2】(a)乃至(d)は実施例1の製造方法の各工程断面図である。

【図3】実施例1における耐圧( $V_{DS}$ )の並列p n構造の不純物濃度の依存性を示す特性図である。

【図4】(a)は本発明の実施例2に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す部分平面図、(b)は図4(a)中のA-A'線に沿って切断した状態を示す断面図である。

【図5】(a)乃至(d)は実施例2の製造方法の各工程断面図である。

【図6】本発明の実施例3に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す部分平面図である。

【図7】図6中のA-A'線に沿って切断した状態を示す断面図である。

【図8】本発明の実施例4に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す部分平面図である。

【図9】図8中のB-B'線に沿って切断した状態を示す断面図である。

【図10】本発明の実施例5に係る縦形MOSFETに

38

におけるドリフト部及び素子外周部を示す断面図である。

【図11】(a)乃至(c)は実施例5の製造方法における各工程断面図である。

【図12】(d)及び(e)は実施例5の製造方法における各工程断面図である。

【図13】本発明の実施例6に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す断面図である。

【図14】本発明の実施例7に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す断面図である。

【図15】本発明の実施例8に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す断面図である。

【図16】本発明の実施例9に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す平面図である。

【図17】本発明の実施例10に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す平面図である。

【図18】本発明の実施例11に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す平面図である。

【図19】図18中のA-A'線に沿って切断した断面図である。図20は図18中のB-B'線に沿って切断した断面図である。

【図20】図18中のB-B'線に沿って切断した断面図である。

【図21】本発明の実施例12に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す平面図である。

【図22】図21中のC-C'線に沿って切断した断面図である。

【図23】図23は本発明の実施例13に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す平面図である。

【図24】本発明の実施例14に係る縦形MOSFETにおけるドリフト部及び素子外周部を示す平面図である。

【図25】本発明の実施例15に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す平面図である。

【図26】本発明の実施例16に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す平面図である。

【図27】本発明の実施例17に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す断面図である。

【図28】本発明の実施例18に係る縦形MOSFETにおけるドリフト部及び耐圧構造部を示す断面図である。

【図29】従来の単一導電型のドリフト層を持つ縦形MOSFETを示す部分断面図である。

【図30】従来の並列p n構造のドリフト層を持つ縦形

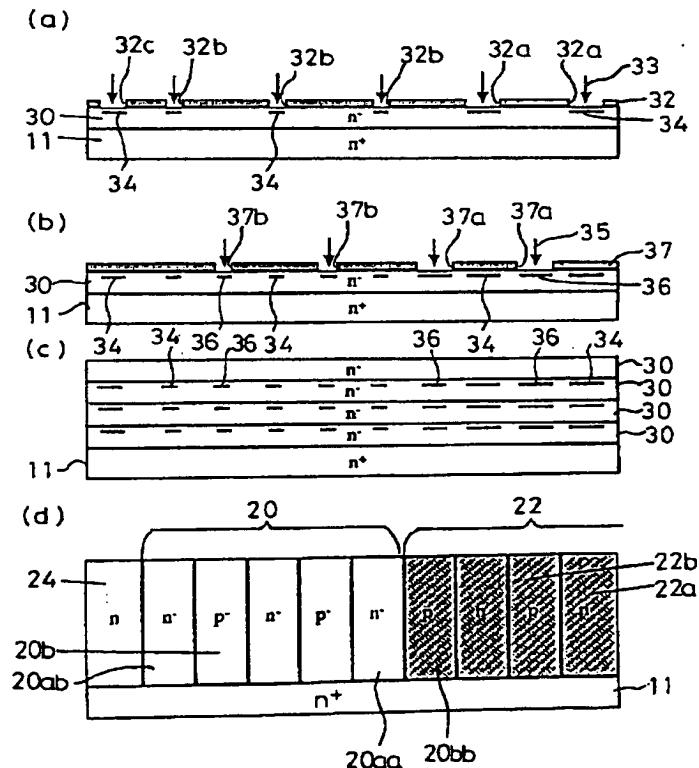
39

・MOSFETを示す部分断面図である。

【符号の説明】

- 11… $n^+$  ドレイン層  
 12e…チャネル領域  
 13a…高不純物濃度のpベース領域 (pウェル)  
 14… $n^+$  ソース領域  
 15…ゲート絶縁膜  
 16…ゲート電極層  
 17…ソース電極  
 18…ドレイン電極  
 19a…層間絶縁膜  
 20, 120, 220, 320, 420, 500, 520, 620, 720, 820, 920…耐圧構造部 (素子外周部)  
 20a, 20aa, 20ab, 20bb, 420a, 500a, 520a, 620a, 720a, 920a… $n^-$  型領域又は $n$ 型領域  
 20b, 20ba, 20bb, 420b, 500b, 520b, 620b, 720b, 920b… $p^-$  型領域又は $p$ 型領域  
 20c… $p$ 型均圧リング  
 20A, 20B, 20Bb, 20Bc…pn繰り返し端\*

【図2】

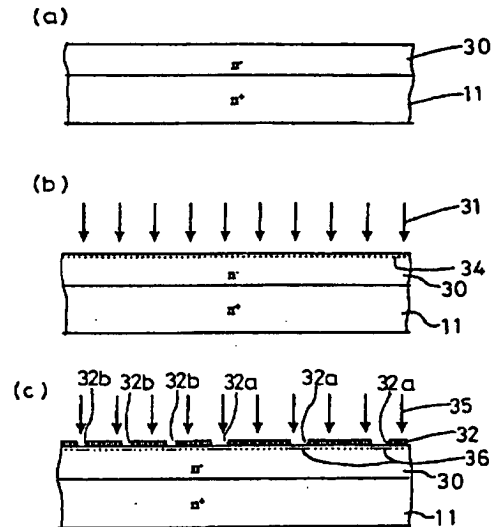


40

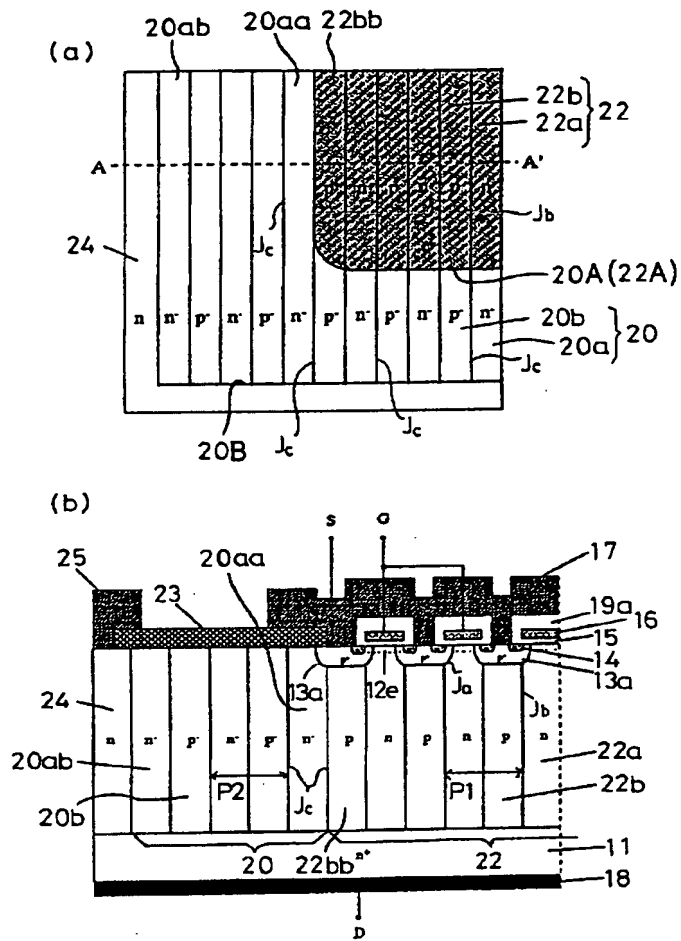
\*面

- 22…ドレイン・ドリフト部  
 22a, 122a… $p$ 型ドリフト電路領域  
 22b, 22b, 122b… $n$ 型仕切領域  
 23…酸化膜  
 24, 424… $n$ 型低抵抗囲繞領域  
 24a…チャネルストッパー  
 25…周縁電極  
 26… $p^+$  コンタクト領域  
 10 30… $n$ 型高抵抗のエピタキシャル成長層  
 32, 37…レジストマスク  
 32a, 32b, 32c, 37a, 37b不純物導入窓  
 33…燐イオン  
 34…燐原子  
 35…ホウ素イオン  
 36…ホウ素原子  
 500c…高抵抗領域  
 220A, 320A…第1の並列pn構造  
 220B, 320B…第2の並列pn構造  
 20 P1, P2…繰り返しピッチ  
 W1~W5…層厚

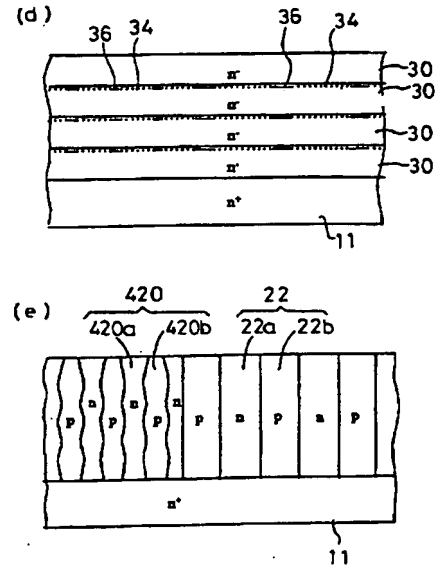
【図11】



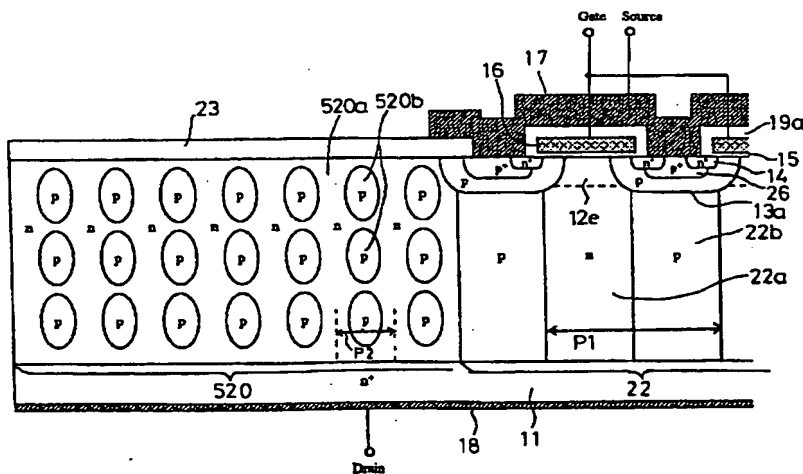
【図 1】



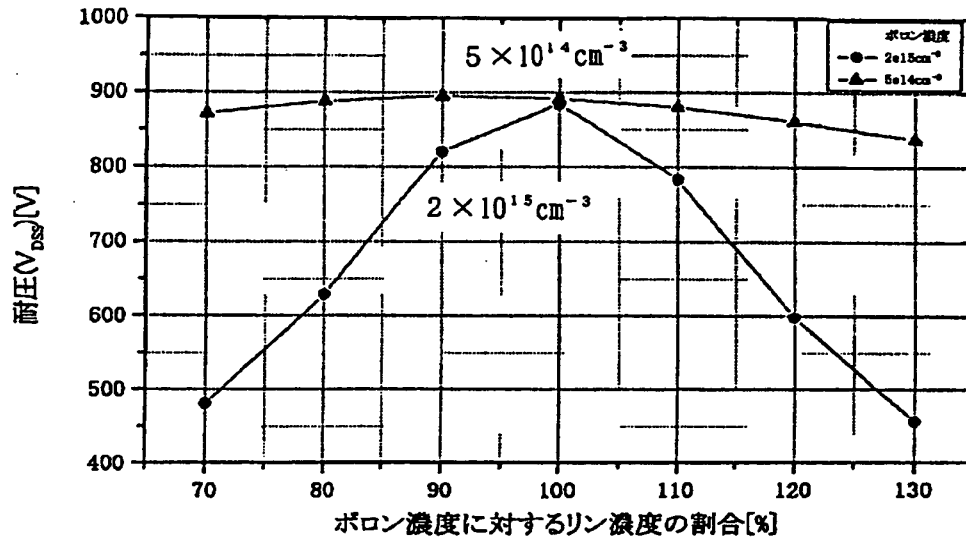
【図 12】



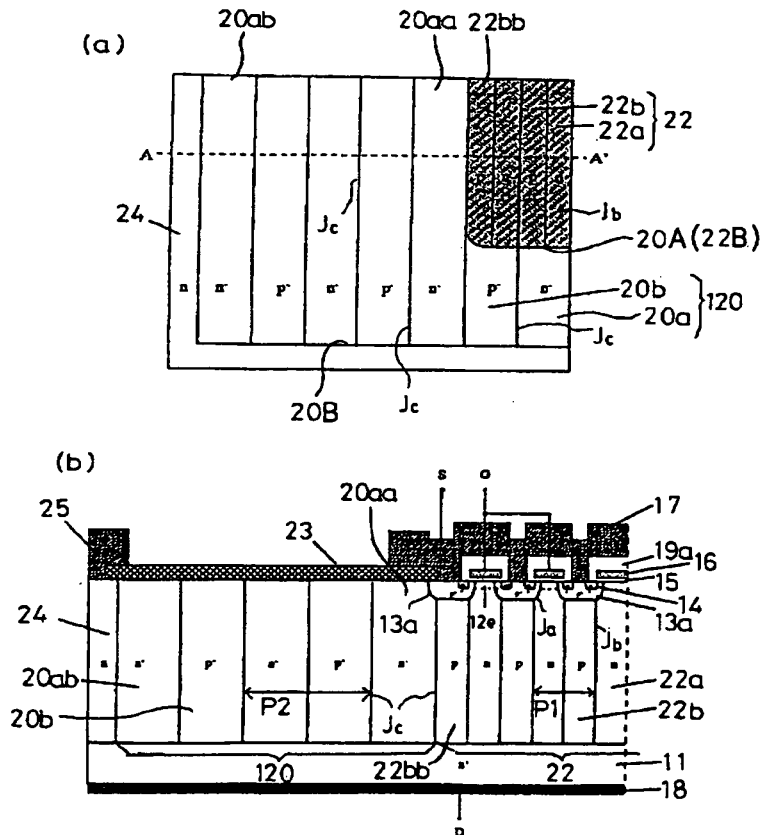
【図 13】



【図3】

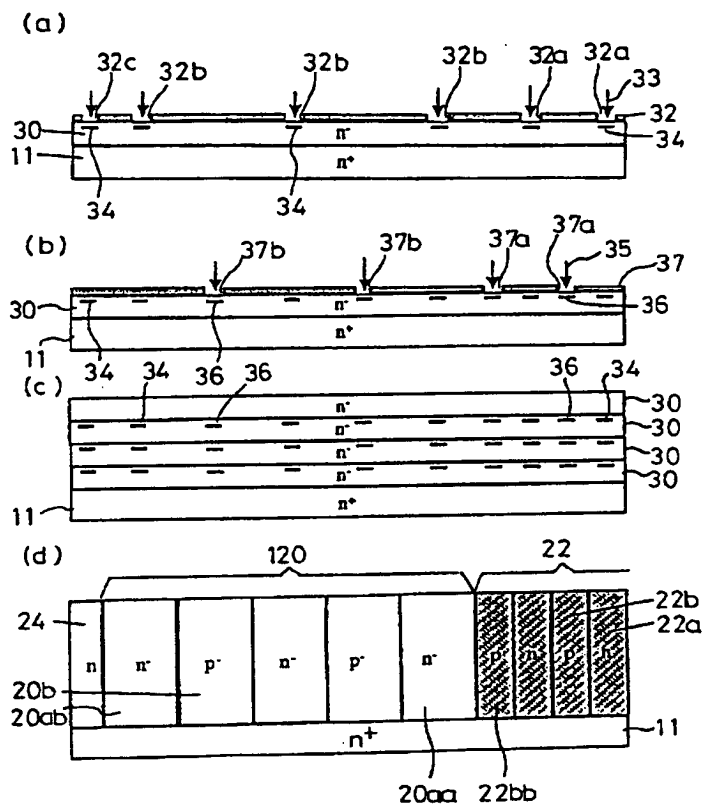


【図4】

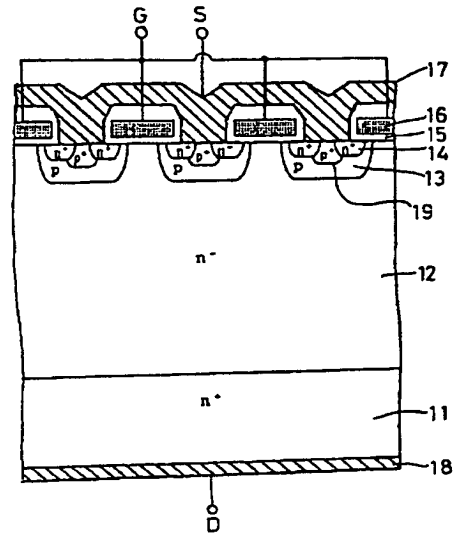




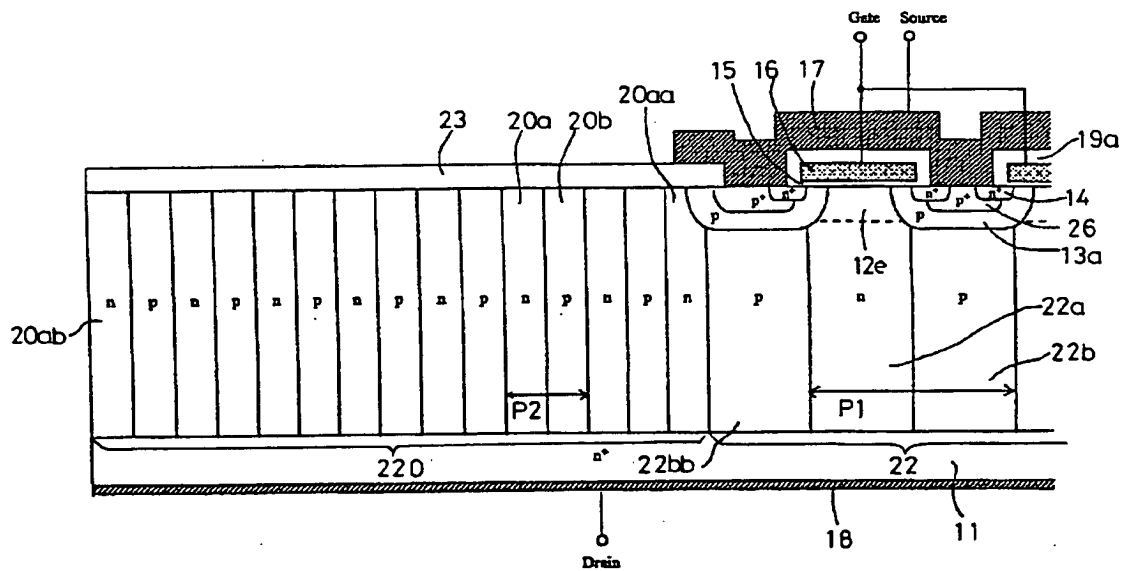
【図5】



【図29】



【図7】



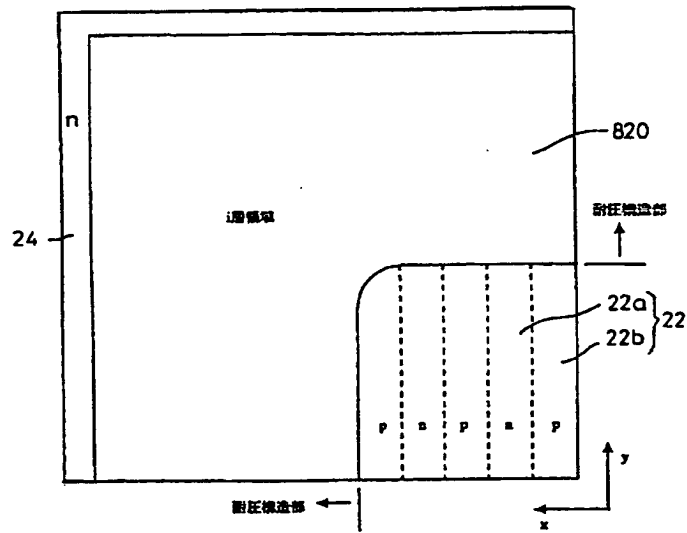
[illegible]



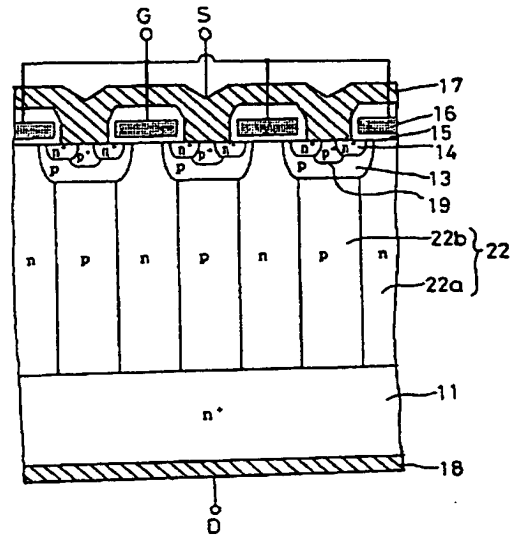
This cross-sectional view shows a semiconductor device with a grid of vertical channels. A top gate layer (23) is patterned into a series of rectangular gates (16) separated by spacers (17). The gates are connected to a 'Gate' terminal. The device is also connected to 'Source' and 'Drain' terminals. The channel region (11) contains a grid of vertical channels (12a, 12b, 12c, 12d, 12e) separated by spacers (13a, 13b, 13c, 13d, 13e). The channels are formed in a substrate (18) and are surrounded by a gate dielectric (14). The device is also connected to a 'Drain' terminal. The channel region (11) contains a grid of vertical channels (12a, 12b, 12c, 12d, 12e) separated by spacers (13a, 13b, 13c, 13d, 13e). The channels are formed in a substrate (18) and are surrounded by a gate dielectric (14). The device is also connected to a 'Drain' terminal.

[illegible]

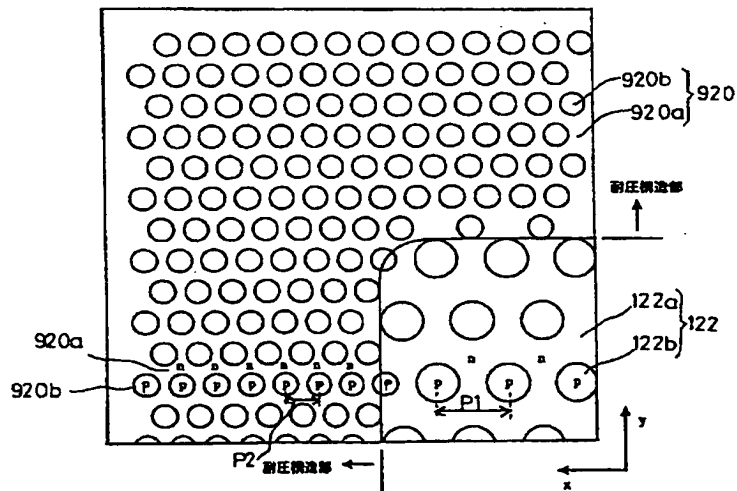
【図16】



【図30】



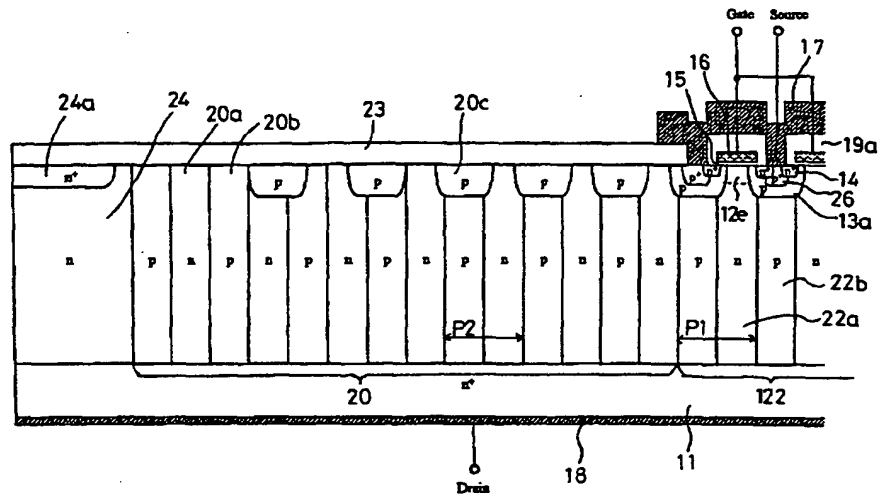
【図17】



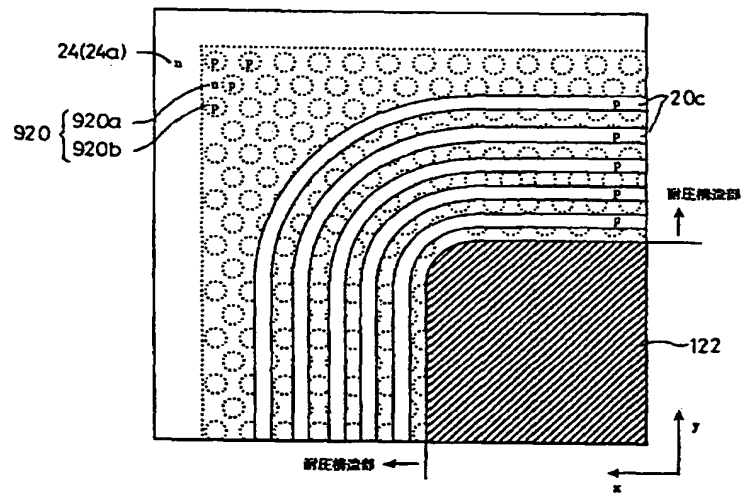
[illegible]

[illegible]

【図22】

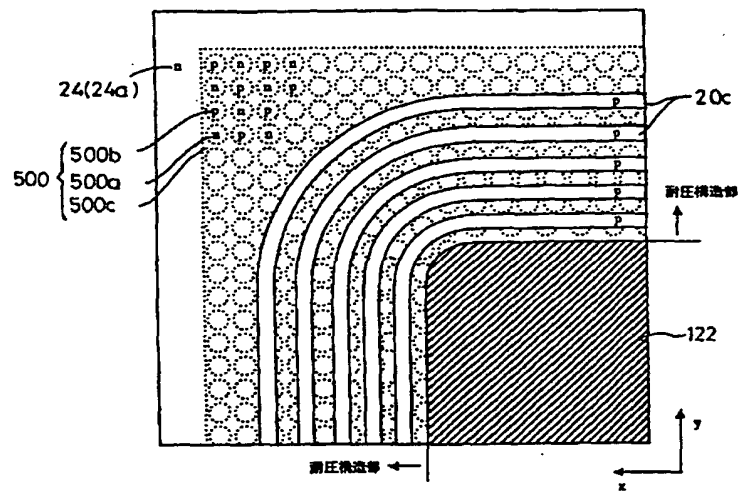


【図23】

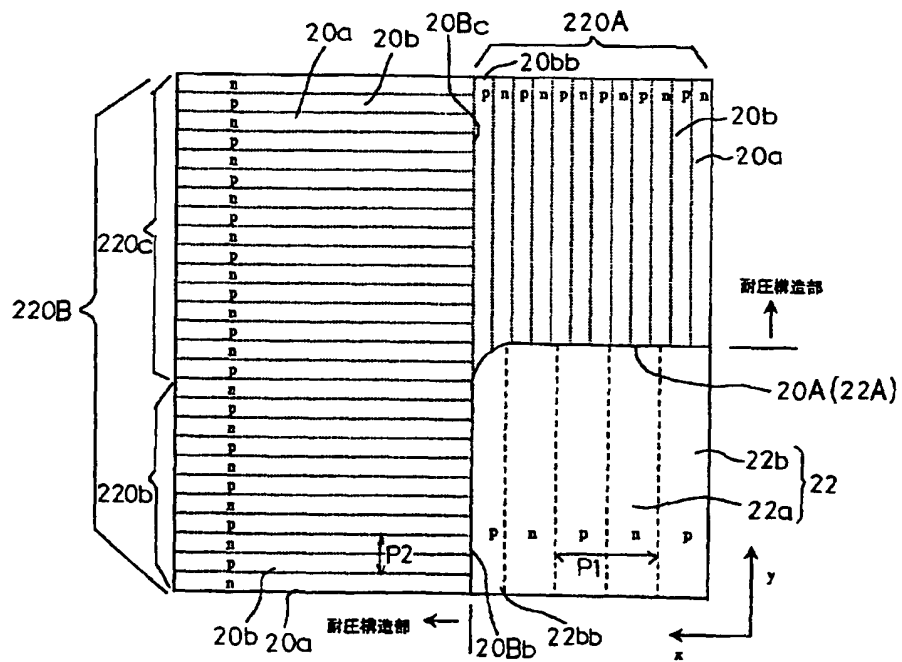




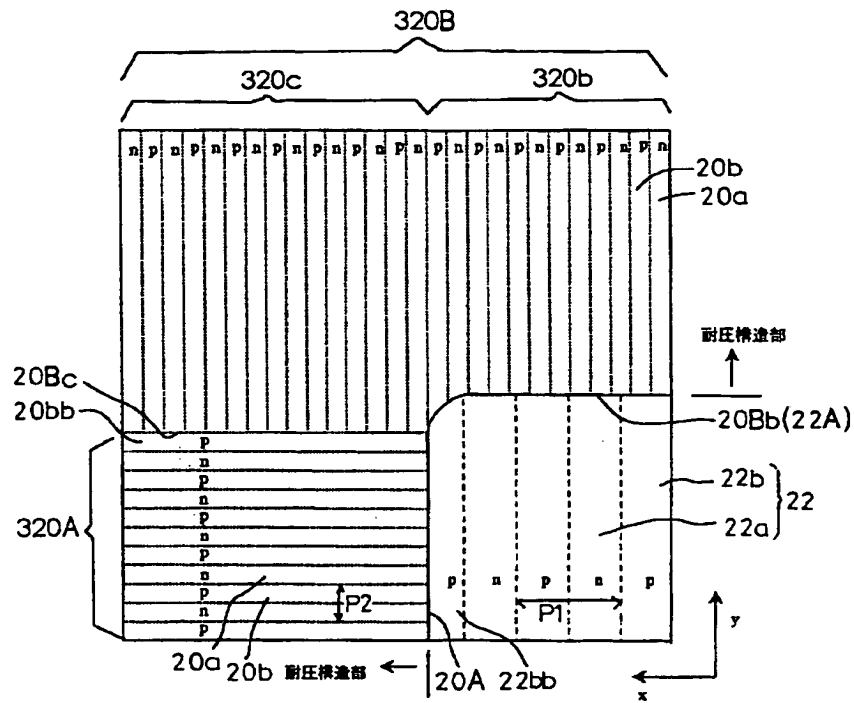
【図 24】



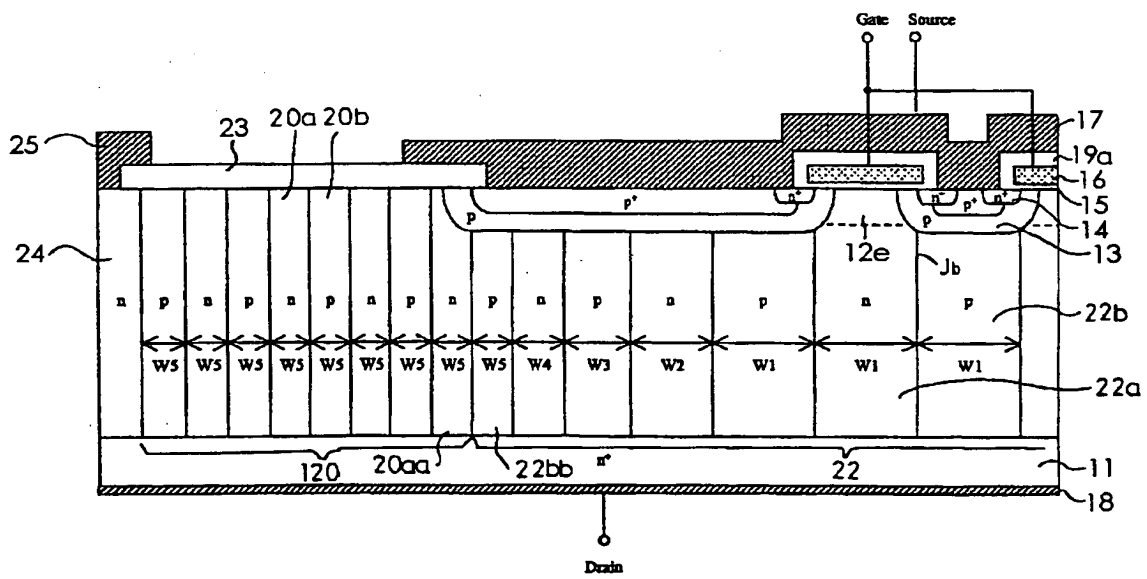
【図 25】



【図 26】



【図 27】



This cross-sectional view shows a semiconductor device with a substrate 18 and a base layer 11. A multi-channel structure 12 is formed in the substrate, consisting of a series of vertical channels 12a and 12b. The channels are separated by spacers 13. The top of the channels is covered by a gate layer 14, which is patterned into a series of gates 15. The gates are connected to a gate electrode 16. The device is also connected to a drain 17 and a source 18. The channel length is indicated by 20a and 20b, and the channel width by 22a and 22b. The channel depth is indicated by 24. The channel material is labeled 12e. The channel is formed in a substrate 11, which is on top of a base layer 18. The channel is formed in a substrate 11, which is on top of a base layer 18. The channel is formed in a substrate 11, which is on top of a base layer 18.

(72) 発明者 上野 勝典  
神奈川県川崎市川崎区田辺新田 1 番 1 号  
富士電機株式会社内

(72) 発明者 大西 泰彦  
神奈川県川崎市川崎区田辺新田 1 番 1 号  
富士電機株式会社内

(72) 発明者 岩本 進  
神奈川県川崎市川崎区田辺新田 1 番 1 号  
富士電機株式会社内

(72) 発明者 永岡 達司  
神奈川県川崎市川崎区田辺新田 1 番 1 号  
富士電機株式会社内